

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



Re Application of)

Kazutaka INUKAI)

Serial No.: 09/724,387)

Filed: November 28, 2000)

For: ELECTRONIC DEVICE)

Art Unit: 2673 ✓)

Examiner: L. Shapiro)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:
Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450 on

June 23, 2004

(Date of Deposit)

Shannon Wallace

Name of applicant, assignee, or Registered Rep.

Shannon Wallace 6/23/04

Signature

Date

RECEIVED

JUL 01 2004

Technology Center 2600

RESUBMISSION OF PRIORITY DOCUMENTS

Sir:

As requested by the Examiner, enclosed is another certified copy of the priority documents pertaining to the above application. The enclosed copies are of JP11-338786, filed on November 29, 1999, and JP2000-086968, filed on March 27, 2000. Applicant claims priority under 35 U.S.C. § 119 to these foreign applications.

Respectfully submitted,

Dated: June 23, 2004

Mark J. Murphy
Attorney of Record
Registration No. 34,225

COOK, ALEX, McFARRON, MANZO,
CUMMINGS & MEHLER, LTD.
200 West Adams Street, Suite 2850
Chicago, Illinois 60603
(312) 236-8500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 1 9 9 9 年 1 1 月 2 9 日
Date of Application:

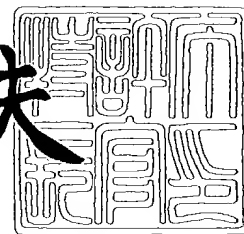
出 願 番 号 平成 1 1 年 特 許 願 第 3 3 8 7 8 6 号
Application Number:
[ST. 10/C]: [J P 1 9 9 9 - 3 3 8 7 8 6]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 4 年 6 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 P004452-04

【提出日】 平成11年11月29日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 犬飼 和隆

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置

【特許請求の範囲】

【請求項 1】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、E L 素子と、前記 E L 素子の発光をそれぞれ制御する E L 駆動用 T F T と、前記 E L 駆動用 T F T の駆動を制御するスイッチング用 T F T 及び消去用 T F T とを有し、

前記第 1 のゲート信号線駆動回路によって前記スイッチング用 T F T の駆動が制御され、

前記第 2 のゲート信号線駆動回路によって前記消去用 T F T の駆動が制御され、

前記複数の E L 素子の発光する時間を制御することで階調表示を行うことを特徴とする電気光学装置。

【請求項 2】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と

接続されており、

前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されていることを特徴とする電気光学装置。

【請求項 3】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、一定の電位に保たれた電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記 E L 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられた E L 層とを有しており、

前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源

供給線に、もう一方は前記 E L 素子が有する画素電極に接続されていることを特徴とする電気光学装置。

【請求項 4】

請求項 3 において、前記 E L 層は低分子系有機物質またはポリマー系有機物質であることを特徴とする電気光学装置。

【請求項 5】

請求項 4 において、前記低分子系有機物質は、A l q₃（トリス-8-キノリライト-アルミニウム）または T P D（トリフェニルアミン誘導体）からなることを特徴とする電気光学装置。

【請求項 6】

請求項 4 において、前記ポリマー系有機物質は、P P V（ポリフェニレンビレン）、P V K（ポリビニルカルバゾール）またはポリカーボネートからなることを特徴とする電気光学装置。

【請求項 7】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

1 フレーム期間内に n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ と、 $(m-1)$ 個の消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ (m は 2 から n までの任意の数) とが設けられており、

前記書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ のうち、書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a m$ と、前記消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ とはそれぞれ互いに一部重なっており

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ のうちの書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a (m-1)$ のそれぞれが開始されてから、前記消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ のそれぞれが開始されるまでの期間が、表示期間 $T r 1$ 、 $T r 2$ 、 \dots 、 $T r (m-1)$ であり、

前記消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ のそれぞれが開始されてから、前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ のうちの書き込み期間 $T a 2$ 、 $T a 2$ 、 \dots 、 $T a m$ のそれぞれが開始されるまでの期間が、非表示期間 $T d 1$ 、 $T d 2$ 、 \dots 、 $T d n$ であり、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ のうちの書き込み期間 $T a m$ 、 $T a (m+1)$ 、 \dots 、 $T a n$ のそれぞれが開始されてから、前記各書き込み期間 $T a m$ 、 $T a (m+1)$ 、 \dots 、 $T a n$ の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 $T r m$ 、 $T r (m+1)$ 、 \dots 、 $T r n$ であり、

前記デジタルデータ信号によって、前記表示期間 $T r 1$ 、 $T r 2$ 、 \dots 、 $T r n$

において前記複数の E L 素子が発光するか発光しないかが選択され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ の長さは全て同じであり、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0:2^1:\dots, 2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項 8】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、一定の電位に保たれた電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記 E L 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられた E L 層とを有しており、

前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子が有する画素電極に接続されており、

1 フレーム期間内に n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ (m は 2 から n ま

での任意の数) とが設けられており、

前記書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうち、書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{am} と、前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ とはそれぞれ互いに一部重なっており

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 $T_{a(m-1)}$ のそれぞれが開始されてから、前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されるまでの期間が、表示期間 T_{r1} 、 T_{r2} 、 \dots 、 $T_{r(m-1)}$ であり、

前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a2} 、 T_{a2} 、 \dots 、 T_{am} のそれぞれが開始されるまでの期間が、非表示期間 T_{d1} 、 T_{d2} 、 \dots 、 T_{dn} であり、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} のそれぞれが開始されてから、前記各書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 T_{rm} 、 $T_{r(m+1)}$ 、 \dots 、 T_{rn} であり、

前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} において前記複数の EL 素子が発光するか発光しないかが選択され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ の長さは全て同じであり、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項 9】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

1 フレーム期間内に n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ と、 $(m-1)$ 個の消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ (m は 2 から n までの任意の数) とが設けられており、

前記書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ のうち、書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a m$ と、前記消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m$

- 1) とはそれぞれ互いに一部重なっており

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 $T_{a(m-1)}$ のそれぞれが開始されてから、前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されるまでの期間が、表示期間 T_{r1} 、 T_{r2} 、 \dots 、 $T_{r(m-1)}$ であり、

前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a2} 、 T_{a2} 、 \dots 、 T_{am} のそれぞれが開始されるまでの期間が、非表示期間 T_{d1} 、 T_{d2} 、 \dots 、 T_{dn} であり、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} のそれぞれが開始されてから、前記各書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 T_{rm} 、 $T_{r(m+1)}$ 、 \dots 、 T_{rn} であり、

前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} において前記複数の EL 素子が発光するか発光しないかが選択され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ の長さは全て同じであり、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0 : 2^1 : \dots$ 、 $2^{(n-1)}$ で表され、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} が出現する順序がランダムであることを特徴とする電気光学装置。

【請求項 10】

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、一定の電位に保たれた電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記 E L 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられた E L 層とを有しており、

前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子が有する画素電極に接続されており、

1 フレーム期間内に n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ と、 $(m-1)$ 個の消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ (m は 2 から n までの任意の数) とが設けられており、

前記書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうち、書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a m$ と、前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ とはそれぞれ互いに一部重なっており

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうちの書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a (m-1)$ のそれぞれが開始されてから、前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ のそれぞれが開始されるまでの期間

が、表示期間 T_{r1} 、 T_{r2} 、 \dots 、 $T_{r(m-1)}$ であり、

前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a2} 、 T_{a2} 、 \dots 、 T_{am} のそれぞれが開始されるまでの期間が、非表示期間 T_{d1} 、 T_{d2} 、 \dots 、 T_{dn} であり、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} のそれぞれが開始されてから、前記各書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 T_{rm} 、 $T_{r(m+1)}$ 、 \dots 、 T_{rn} であり、

前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} において前記複数の EL 素子が発光するか発光しないかが選択され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ の長さは全て同じであり、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0:2^1:\dots, 2^{(n-1)}$ で表され、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} が出現する順序がランダムであることを特徴とする電気光学装置。

【請求項 1 1】

請求項 8 または請求項 1 0 において、前記 EL 層は低分子系有機物質またはポリマー系有機物質であることを特徴とする電気光学装置。

【請求項 1 2】

請求項 1 1 において、前記低分子系有機物質は、 Alq_3 (トリス-8-キノリライト-アルミニウム) または TPD (トリフェニルアミン誘導体) からなることを特徴とする電気光学装置。

【請求項 1 3】

請求項 1 1 において、前記ポリマー系有機物質は、PPV (ポリフェニレンビニレン)、PVK (ポリビニルカルバゾール) またはポリカーボネートからなることを特徴とする電気光学装置。

【請求項 1 4】

請求項 7 乃至請求項 1 3 のいずれか 1 において、前記 n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \cdots 、 $T a_n$ は互いに重なっていないことを特徴とする電気光学装置。

【請求項 1 5】

請求項 7 乃至請求項 1 4 のいずれか 1 項において、前記 $(m-1)$ 個の消去期間 $T e_1$ 、 $T e_2$ 、 \cdots 、 $T e_{(m-1)}$ は互いに重なっていないことを特徴とする電気光学装置。

【請求項 1 6】

請求項 1 乃至請求項 1 5 のいずれか 1 項において、前記スイッチング用 T F T、前記 E L 駆動用 T F T 及び前記消去用 T F T は n チャンネル型 T F T または p チャンネル型 T F T であることを特徴とする電気光学装置。

【請求項 1 7】

請求項 1 乃至請求項 1 6 のいずれか 1 項において、前記 E L 駆動用 T F T は、前記 E L 駆動用 T F T が有するゲート電極に前記電源供給線の電位が与えられるとオフの状態になることを特徴とする電気光学装置。

【請求項 1 8】

請求項 1 乃至請求項 1 7 のいずれか 1 項に記載の前記電気光学装置を用いることを特徴とするコンピュータ。

【請求項 1 9】

請求項 1 乃至請求項 1 7 のいずれか 1 項に記載の前記電気光学装置を用いることを特徴とするビデオカメラ。

【請求項 2 0】

請求項 1 乃至請求項 1 7 のいずれか 1 項に記載の前記電気光学装置を用いることを特徴とする DVD プレーヤー。

【発明の詳細な説明】**【0 0 0 1】****【発明の属する技術分野】****【0 0 0 2】**

本願発明はE L（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子ディスプレイ（電気光学装置）に関する。特に半導体素子（半導体薄膜を用いた素子）を用いたE Lディスプレイに関する。またE Lディスプレイを表示部に用いた電子機器に関する。

【0 0 0 3】

【従来の技術】

近年、基板上にT F Tを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたT F Tは、従来のアモルファスシリコン膜を用いたT F Tよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0 0 0 4】

このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0 0 0 5】

そしてさらに、自発光型素子としてE L素子を有したアクティブマトリクス型のE Lディスプレイの研究が活発化している。E Lディスプレイは有機E Lディスプレイ（O E L D : Organic EL Display）又は有機ライトエミッティングダイオード（O L E D : Organic Light Emitting Diode）とも呼ばれている。

【0 0 0 6】

E Lディスプレイは、液晶ディスプレイと異なり自発光型である。E L素子是一对の電極（陽極と陰極）間にE L層が挟まれた構造となっているが、E L層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているE Lディスプレイは殆どこの構造を採用している。

【0 0 0 7】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0008】

本明細書において陰極と陽極の間に設けられる全ての層を総称してE L層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てE L層に含まれる。

【0009】

そして、上記構造でなるE L層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてE L素子が発光することを、E L素子が駆動すると呼ぶ。また、本明細書中では、陽極、E L層及び陰極で形成される発光素子をE L素子と呼ぶ。

【0010】

E Lディスプレイの駆動方法として、アナログ方式の駆動方法（アナログ駆動）が挙げられる。E Lディスプレイのアナログ駆動について、図18及び図19を用いて説明する。

【0011】

図18にアナログ駆動のE Lディスプレイの画素部の構造を示す。ゲート信号線駆動回路からの選択信号を入力するゲート信号線（G1～Gy）は、各画素が有するスイッチング用TFT1801のゲート電極に接続されている。また各画素の有するスイッチング用TFT1801のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線（データ信号線ともいう）（S1～Sx）に、もう一方が各画素が有するE L駆動用TFT1804のゲート電極及び各画素が有するコンデンサ1808にそれぞれ接続されている。

【0012】

各画素が有するE L駆動用TFT1804のソース領域とドレイン領域はそれぞれ、一方は電源供給線（V1～Vx）に、もう一方はE L素子1806に接続されている。電源供給線（V1～Vx）の電位を電源電位と呼ぶ。また電源供給線（V1～Vx）は、各画素が有するコンデンサ1808に接続されている。

【0 0 1 3】

E L 素子 1 8 0 6 は陽極と、陰極と、陽極と陰極との間に設けられた E L 層とを有する。E L 素子 1 8 0 6 の陽極が E L 駆動用 T F T 1 8 0 4 のソース領域またはドレイン領域と接続している場合、E L 素子 1 8 0 6 の陽極が画素電極、陰極が対向電極となる。逆に E L 素子 1 8 0 6 の陰極が E L 駆動用 T F T 1 8 0 4 のソース領域またはドレイン領域と接続している場合、E L 素子 1 8 0 6 の陽極が対向電極、陰極が画素電極となる。

【0 0 1 4】

なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差が E L 駆動電圧であり、この E L 駆動電圧が E L 層にかかる。

【0 0 1 5】

図 1 8 で示した E L ディスプレイを、アナログ方式で駆動させた場合のタイミングチャートを図 1 9 に示す。1 つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を 1 ライン期間 (L) と呼ぶ。また 1 つの画像が表示されてから次の画像が表示されるまでの期間が 1 フレーム期間 (F) に相当する。図 1 8 の E L ディスプレイの場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間 (L 1 ~ L y) が設けられている。

【0 0 1 6】

解像度が高くなるにつれて 1 フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

【0 0 1 7】

まず電源電圧線 (V 1 ~ V x) は一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、E L 素子が発光する程度に電源電位との間に電位差を有している。

【0 0 1 8】

第 1 のライン期間 (L 1) においてゲート信号線 G 1 にはゲート信号線駆動回路からの選択信号が入力される。そして、ソース信号線 (S 1 ~ S x) に順にアナログのビデオ信号が入力される。ゲート信号線 G 1 に接続された全てのスイッ

チング用 T F T はオンの状態になるので、ソース信号線に入力されたアナログのビデオ信号は、スイッチング用 T F T を介して E L 駆動用 T F T のゲート電極に入力される。

【 0 0 1 9 】

E L 駆動用 T F T のチャネル形成領域を流れる電流の量は、そのゲート電極に入力される信号の電位の高さ（電圧）によって制御される。よって、E L 素子の画素電極にかかる電位は、E L 駆動用 T F T のゲート電極に入力されたアナログのビデオ信号の電位の高さによって決まる。そして E L 素子はアナログのビデオ信号の電位に制御されて発光を行う。

【 0 0 2 0 】

上述した動作を繰り返し、にソース信号線（S 1 ～ S x）へのアナログのビデオ信号の入力が終了すると、第 1 のライン期間（L 1）が終了する。なお、ソース信号線（S 1 ～ S x）へのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて 1 つのライン期間としても良い。そして次に第 2 のライン期間（L 2）となりゲート信号線 G 2 に選択信号が入力される。そして第 1 のライン期間（L 1）と同様にソース信号線（S 1 ～ S x）に順にアナログのビデオ信号が入力される。

【 0 0 2 1 】

そして全てのゲート信号線（G 1 ～ G y）に選択信号が入力されると、全てのライン期間（L 1 ～ L y）が終了する。全てのライン期間（L 1 ～ L y）が終了すると、1 フレーム期間が終了する。1 フレーム期間中において全ての画素が表示を行い、1 つの画像が形成される。なお全てのライン期間（L 1 ～ L y）と垂直帰線期間とを合わせて 1 フレーム期間としても良い。

【 0 0 2 2 】

以上のように、アナログのビデオ信号によって E L 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ駆動方法と呼ばれる駆動方式であり、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

【 0 0 2 3 】

【発明が解決しようとする課題】

E L 素子に供給される電流量が E L 駆動用 T F T のゲート電圧によって制御される様子を図 3 を用いて詳しく説明する。

【0 0 2 4】

図 2 0 (A) は E L 駆動用 T F T のトランジスタ特性を示すグラフであり、4 0 1 は $I_d - V_g$ 特性（又は $I_d - V_g$ 曲線）と呼ばれている。ここで I_d はドレイン電流であり、 V_g はゲート電圧である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0 0 2 5】

通常、E L 素子を駆動するにあたって、上記 $I_d - V_g$ 特性の点線 4 0 2 で示した領域を用いる。4 0 2 で囲んだ領域の拡大図を図 2 0 (B) に示す。

【0 0 2 6】

図 2 0 (B) において、斜線で示す領域はサブスレッショルド領域と呼ばれている。実際にはしきい値電圧 (V_{th}) 近傍又はそれ以下のゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

【0 0 2 7】

スイッチング用 T F T がオンとなって画素内に入力されたアナログのビデオ信号は E L 駆動用 T F T のゲート電圧となる。このとき、図 2 0 (A) に示した $I_d - V_g$ 特性に従ってゲート電圧に対してドレイン電流が 1 対 1 で決まる。即ち、E L 駆動用 T F T のゲート電極に入力されるアナログのビデオ信号の電圧に対応して、ドレイン領域の電位（オンの E L 駆動電位）が定まり、所定のドレイン電流が E L 素子に流れ、その電流量に対応した発光量で前記 E L 素子が発光する。

【0 0 2 8】

以上のように、ビデオ信号によって E L 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【0 0 2 9】

しかしながら、上記アナログ駆動は T F T の特性バラツキに非常に弱いという

欠点がある。例えばスイッチング用 T F T の $I_d - V_g$ 特性が同じ階調を表示する隣接画素のスイッチング用 T F T と異なる場合（全体的にプラス又はマイナス側へシフトした場合）を想定する。

【 0 0 3 0 】

その場合、各スイッチング用 T F T のドレイン電流はバラツキの程度にもよるが異なるものとなり、各画素の E L 駆動用 T F T には異なるゲート電圧がかかることになる。即ち、各 E L 素子に対して異なる電流が流れ、結果として異なる発光量となり、同じ階調表示を行えなくなる。

【 0 0 3 1 】

また、仮に各画素の E L 駆動用 T F T に等しいゲート電圧がかかったとしても、E L 駆動用 T F T の $I_d - V_g$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図 2 0 (A) から明らかなようにゲート電圧の変化に対して指数関数的にドレイン電流が変化するような領域を使っているため、 $I_d - V_g$ 特性が僅かでもずれば、等しいゲート電圧がかかっても出力される電流量は大きく異なるといった事態が生じうる。こうなってしまうと、僅かな $I_d - V_g$ 特性のバラツキによって、同じ電圧の信号を入力しても E L 素子の発光量が隣接画素で大きく異なってしまう。

【 0 0 3 2 】

実際には、スイッチング用 T F T と E L 駆動用 T F T との、両者のバラツキの相乗効果となるので条件的にはさらに厳しい。このように、アナログ駆動は T F T の特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型の E L ディスプレイの階調表示における障害となっていた。

【 0 0 3 3 】

本願発明は上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型の E L 表示装置を提供することを課題とする。そして、そのようなアクティブマトリクス型 E L ディスプレイを表示用ディスプレイとして具備する高性能な電子機器（電子デバイス）を提供することを課題とする。

【 0 0 3 4 】

【課題を解決するための手段】

本願発明者は、アナログ駆動の問題は、ゲート電圧の変化に対してドレイン電流が指数関数的に変化するために $I_d - V_g$ 特性のばらつきの影響を受けやすいサブスレッショルド領域を用いて E L 素子に流れる電流量を制御していることに起因すると考えた。

【0 0 3 5】

即ち、 $I_d - V_g$ 特性のばらつきがあった場合に、サブスレッショルド領域はゲート電圧の変化に対してドレイン電流が指数関数的に変化するため、等しいゲート電圧がかかっても異なる電流（ドレイン電流）が出力されてしまい、その結果、所望の階調が得られないという不具合が生じるのである。

【0 0 3 6】

そこで本願発明人は、E L 素子の発する光の量の制御を、サブスレッショルド領域を用いた電流の制御により行うのではなく、主に E L 素子が発光する時間の制御によって行うことを考えた。つまり本願発明では E L 素子の発する光の量を時間で制御し、階調表示を行う。E L 素子の発光時間を制御することで階調表示を行う時分割方式の駆動方法（以下、デジタル駆動という）と呼ぶ。なお時分割方式の駆動方法によって行われる階調表示を時分割階調表示と呼ぶ。

【0 0 3 7】

上記構成によって本願発明では、T F T によって $I_d - V_g$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_d - V_g$ 特性のバラツキによって、同じ電圧の信号を入力しても E L 素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0 0 3 8】

以下に、本願発明の構成を示す。

【0 0 3 9】

本願発明によって、

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、E L 素子と、前記E L 素子の発光をそれぞれ制御するE L 駆動用T F Tと、前記E L 駆動用T F Tの駆動を制御するスイッチング用T F T 及び消去用T F Tとを有し、

前記第 1 のゲート信号線駆動回路によって前記スイッチング用T F Tの駆動が制御され、

前記第 2 のゲート信号線駆動回路によって前記消去用T F Tの駆動が制御され

、
前記複数のE L 素子の発光する時間を制御することで階調表示を行うことを特徴とする電気光学装置が提供される。

【 0 0 4 0 】

本願発明によって、

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用T F Tと、E L 駆動用T F Tと、消去用T F Tと、E L 素子とをそれぞれ有し、

前記スイッチング用T F Tが有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用T F Tが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記E L 駆動用T F Tが有するゲート電極と接続されており、

前記消去用T F Tが有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用T F Tが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記E L 駆動用T F Tが有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されていることを特徴とする電気光学装置が提供される。

【 0 0 4 1 】

本願発明によって、

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、一定の電位に保たれた電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記 E L 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられた E L 層とを有しており、

前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子が有する画素電極に接続されていることを特徴とする電気光学装置が提供される。

【 0 0 4 2 】

本願発明によって、

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

1 フレーム期間内に n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ と、 $(m-1)$ 個の消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ (m は 2 から n までの任意の数) とが設けられており、

前記書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうち、書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a m$ と、前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m$

- 1) とはそれぞれ互いに一部重なっており

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 $T_{a(m-1)}$ のそれぞれが開始されてから、前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されるまでの期間が、表示期間 T_{r1} 、 T_{r2} 、 \dots 、 $T_{r(m-1)}$ であり、

前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a2} 、 T_{a2} 、 \dots 、 T_{am} のそれぞれが開始されるまでの期間が、非表示期間 T_{d1} 、 T_{d2} 、 \dots 、 T_{dn} であり、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} のそれぞれが開始されてから、前記各書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 T_{rm} 、 $T_{r(m+1)}$ 、 \dots 、 T_{rn} であり、

前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} において前記複数の EL 素子が発光するか発光しないかが選択され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ の長さは全て同じであり、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする電気光学装置が提供される。

【0043】

本願発明によって、

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、一定の電位に保たれた電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 TFT と、EL 駆動用 TFT と、消去用 T

F T と、E L 素子とをそれぞれ有し、

前記 E L 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられた E L 層とを有しており、

前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子が有する画素電極に接続されており、

1 フレーム期間内に n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ と、 $(m-1)$ 個の消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ (m は 2 から n までの任意の数) とが設けられており、

前記書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ のうち、書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a m$ と、前記消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ とはそれぞれ互いに一部重なっており

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a n$ のうちの書き込み期間 $T a 1$ 、 $T a 2$ 、 \dots 、 $T a (m-1)$ のそれぞれが開始されてから、前記消去期間 $T e 1$ 、 $T e 2$ 、 \dots 、 $T e (m-1)$ のそれぞれが開始されるまでの期間が、表示期間 $T r 1$ 、 $T r 2$ 、 \dots 、 $T r (m-1)$ であり、

前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a2} 、 T_{a2} 、 \dots 、 T_{am} のそれぞれが開始されるまでの期間が、非表示期間 T_{d1} 、 T_{d2} 、 \dots 、 T_{dn} であり、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} のそれぞれが開始されてから、前記各書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 T_{rm} 、 $T_{r(m+1)}$ 、 \dots 、 T_{rn} であり、

前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} において前記複数の EL 素子が発光するか発光しないかが選択され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ の長さは全て同じであり、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0:2^1:\dots, 2^{(n-1)}$ で表されることを特徴とする電気光学装置が提供される。

【0044】

本願発明によって、

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 TFT と、EL 駆動用 TFT と、消去用 TFT と、EL 素子とをそれぞれ有し、

前記スイッチング用 TFT が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 TFT が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 EL 駆動用 TFT が有するゲート電極と

接続されており、

前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

1 フレーム期間内に n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ と、 $(m-1)$ 個の消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ (m は 2 から n までの任意の数) とが設けられており、

前記書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうち、書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a m$ と、前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ とはそれぞれ互いに一部重なっており

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうちの書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a (m-1)$ のそれぞれが開始されてから、前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ のそれぞれが開始されるまでの期間が、表示期間 $T r 1$ 、 $T r 2$ 、 \cdots 、 $T r (m-1)$ であり、

前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ のそれぞれが開始されてから、前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうちの書き込み期間 $T a 2$ 、 $T a 2$ 、 \cdots 、 $T a m$ のそれぞれが開始されるまでの期間が、非表示期間 $T d 1$ 、 $T d 2$ 、 \cdots 、 $T d n$ であり、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうちの書き込み期間 $T a m$ 、 $T a (m+1)$ 、 \cdots 、 $T a n$ のそれぞれが開始されてから、前記各書き込み期間 $T a m$ 、 $T a (m+1)$ 、 \cdots 、 $T a n$ の次の書き込み期間のそれぞ

れが開始されるまでの期間が表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} であり、

前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} において前記複数の EL 素子が発光するか発光しないかが選択され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ の長さは全て同じであり、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0:2^1:\dots:2^{(n-1)}$ で表され、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} が出現する順序がランダムであることを特徴とする電気光学装置が提供される。

【0045】

本願発明によって、

ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、一定の電位に保たれた電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 TFT と、EL 駆動用 TFT と、消去用 TFT と、EL 素子とをそれぞれ有し、

前記 EL 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられた EL 層とを有しており、

前記スイッチング用 TFT が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 TFT が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 EL 駆動用 TFT が有するゲート電極と接続されており、

前記消去用 TFT が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子が有する画素電極に接続されており、

1 フレーム期間内に n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ と、 $(m-1)$ 個の消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ (m は 2 から n までの任意の数) とが設けられており、

前記書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうち、書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a m$ と、前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ とはそれぞれ互いに一部重なっており

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうちの書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a (m-1)$ のそれぞれが開始されてから、前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ のそれぞれが開始されるまでの期間が、表示期間 $T r 1$ 、 $T r 2$ 、 \cdots 、 $T r (m-1)$ であり、

前記消去期間 $T e 1$ 、 $T e 2$ 、 \cdots 、 $T e (m-1)$ のそれぞれが開始されてから、前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうちの書き込み期間 $T a 2$ 、 $T a 2$ 、 \cdots 、 $T a m$ のそれぞれが開始されるまでの期間が、非表示期間 $T d 1$ 、 $T d 2$ 、 \cdots 、 $T d n$ であり、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、 \cdots 、 $T a n$ のうちの書き込み期間 $T a m$ 、 $T a (m+1)$ 、 \cdots 、 $T a n$ のそれぞれが開始されてから、前記各書き込み期間 $T a m$ 、 $T a (m+1)$ 、 \cdots 、 $T a n$ の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 $T r m$ 、 $T r (m+1)$ 、 \cdots 、 $T r n$ であり、

前記デジタルデータ信号によって、前記表示期間 $T r 1$ 、 $T r 2$ 、 \cdots 、 $T r n$

において前記複数の E L 素子が発光するか発光しないかが選択され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ の長さは全て同じであり、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0:2^1:\dots, 2^{(n-1)}$ で表され、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} が出現する順序がランダムであることを特徴とする電気光学装置が提供される。

【0046】

前記 E L 層は低分子系有機物質またはポリマー系有機物質であっても良い。

【0047】

前記低分子系有機物質は、 Alq_3 (トリス-8-キノリライト-アルミニウム) または TPD (トリフェニルアミン誘導体) からなっているても良い。

【0048】

前記ポリマー系有機物質は、PPV (ポリフェニレンビレン)、PVK (ポリビニルカルバゾール) またはポリカーボネートからなっているても良い。

【0049】

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} は互いに重なっていないくても良い。

【0050】

前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ は互いに重なっていないくても良い。

【0051】

前記スイッチング用 TFT、前記 E L 駆動用 TFT 及び前記消去用 TFT は n チャンネル型 TFT または p チャンネル型 TFT であれば良い。

【0052】

前記 E L 駆動用 TFT は、前記 E L 駆動用 TFT が有するゲート電極に前記電源供給線の電位が与えられるとオフの状態になる。

【0053】

前記電気光学装置を用いることを特徴とするコンピュータ。

【 0 0 5 4 】

前記電気光学装置を用いることを特徴とするビデオカメラ。

【 0 0 5 5 】

前記電気光学装置を用いることを特徴とするDVDプレーヤー。

【 0 0 5 6 】

【発明の実施の形態】

以下に、本願発明のELディスプレイの構造及びその駆動方法について説明する。ここではnビットのデジタルデータ信号により 2^n 階調の表示を行う場合について説明する。

【 0 0 5 7 】

図1に本願発明のELディスプレイのブロック図の一例を示す。図1のELディスプレイは、基板上に形成されたTFTによって画素部101、画素部の周辺に配置されたソース信号側駆動回路102、書き込み用ゲート信号側駆動回路（第1のゲート信号線駆動回路）103、消去用ゲート信号線駆動回路（第2のゲート信号線駆動回路）104を有している。なお、本実施の形態でELディスプレイはソース信号側駆動回路を1つ有しているが、本願発明においてソース信号側駆動回路は2つあってもよい。

【 0 0 5 8 】

ソース信号側駆動回路102は基本的にシフトレジスタ102a、ラッチ（A）102b、ラッチ（B）102cを有している。

【 0 0 5 9 】

ソース信号線駆動回路102において、シフトレジスタ102aにクロック信号（CLK）およびスタートパルス（SP）が入力される。シフトレジスタ102aは、これらのクロック信号（CLK）およびスタートパルス（SP）に基づきタイミング信号を順に発生させ、バッファ等（図示せず）を通して後段の回路へタイミング信号を順次供給する。

【 0 0 6 0 】

シフトレジスタ102aからのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給される配線には、多くの回路あるいは素子が接

続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの”鈍り”を防ぐために、このバッファが設けられる。

【0 0 6 1】

バッファによって緩衝増幅されたタイミング信号は、ラッチ（A）1 0 2 bに供給される。ラッチ（A）1 0 2 bは、nビットデジタルデータ信号（n bit digital data signals）を処理する複数のステージのラッチを有している。ラッチ（A）1 0 2 bは、前記タイミング信号が入力されると、時分割階調データ信号発生回路1 0 6から供給されるnビットデジタルデータ信号を順次取り込み、保持する。

【0 0 6 2】

なお、ラッチ（A）1 0 2 bにデジタルデータ信号を取り込む際に、ラッチ（A）1 0 2 bが有する複数のステージのラッチに、順にデジタルデータ信号を入力しても良い。しかし本願発明はこの構成に限定されない。ラッチ（A）1 0 2 bが有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルデータ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0 0 6 3】

ラッチ（A）1 0 2 bの全てのステージのラッチにデジタルデータ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ（A）1 0 2 b中で一番左側のステージのラッチにデジタルデータ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルデータ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0 0 6 4】

1ライン期間が終了すると、ラッチ（B）1 0 2 cにラッチシグナル（Latch Signal）が供給される。この瞬間、ラッチ（A）1 0 2 bに書き込まれ保持されているデジタルデータ信号は、ラッチ（B）1 0 2 cに一斉に送出され、ラッチ

(B) 1 0 2 c の全ステージのラッチに書き込まれ、保持される。

【 0 0 6 5 】

デジタルデータ信号をラッチ (B) 1 0 2 c に送出し終えたラッチ (A) 1 0 2 b には、シフトレジスタ 1 0 2 a からのタイミング信号に基づき、再び時分割階調データ信号発生回路 1 0 6 から供給されるデジタルデータ信号の書き込みが順次行われる。

【 0 0 6 6 】

この 2 順目の 1 ライン期間中には、ラッチ (B) 1 0 2 b に書き込まれ、保持されているデジタルデータ信号がソース信号線に入力される。

【 0 0 6 7 】

一方、書き込み用ゲート信号側駆動回路 1 0 3 及び消去用ゲート信号線駆動回路 1 0 4 は、それぞれシフトレジスタ、バッファ (いずれも図示せず) を有している。また場合によっては、書き込み用ゲート信号側駆動回路 1 0 3 及び消去用ゲート信号線駆動回路 1 0 4 が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

【 0 0 6 8 】

書き込み用ゲート信号側駆動回路 1 0 3 及び消去用ゲート信号線駆動回路 1 0 4 において、シフトレジスタ (図示せず) からのタイミング信号がバッファ (図示せず) に供給され、対応するゲート信号線 (走査線とも呼ぶ) に供給される。ゲート信号線には、1 ライン分の画素 T F T のゲート電極が接続されており、1 ライン分全ての画素 T F T を同時に O N にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【 0 0 6 9 】

時分割階調データ信号発生回路 1 0 6 においては、アナログまたはデジタルのビデオ信号 (画像情報を含む信号) が時分割階調を行うためのデジタルデータ信号 (D i g i t a l D a t a S i g n a l s) に変換され、ラッチ (A) 1 0 2 b に入力される。またこの時分割階調データ信号発生回路 1 0 6 は、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路でもある。

【 0 0 7 0 】

この時分割階調データ信号発生回路 1 0 6 は、本願発明の E L ディスプレイの外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本願発明の E L ディスプレイに入力される構成となる。この場合、本願発明の E L ディスプレイを表示ディスプレイとして有する電子機器（E L 表示装置）は、本願発明の E L ディスプレイと時分割階調データ信号発生回路を別の部品として含むことになる。

【 0 0 7 1 】

また、時分割階調データ信号発生回路 1 0 6 を I C チップなどの形で本願発明の E L ディスプレイに実装しても良い。その場合、その I C チップで形成されたデジタルデータ信号が本願発明の E L ディスプレイに入力される構成となる。この場合、本願発明の E L ディスプレイをディスプレイとして有する電子機器は、時分割階調データ信号発生回路を含む I C チップを実装した本願発明の E L ディスプレイを部品として含むことになる。

【 0 0 7 2 】

また最終的には、時分割階調データ信号発生回路 1 0 6 を画素部 1 0 1、ソース信号線駆動回路 1 0 2、書き込み用ゲート信号線駆動回路 1 0 3、消去用ゲート信号線駆動回路 1 0 4 と同一の基板上に T F T を用いて形成しうる。この場合、E L ディスプレイに画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。この場合の時分割階調データ信号発生回路はポリシリコン膜を活性層とする T F T で形成しても良い。また、この場合、本願発明の E L ディスプレイをディスプレイとして有する電子機器は、時分割階調データ信号発生回路が E L ディスプレイ自体に内蔵されており、電子機器の小型化を図ることが可能である。

【 0 0 7 3 】

画素部 1 0 1 の拡大図を図 2 に示す。ソース信号線駆動回路 1 0 2 のラッチ（B） 1 0 2 c に接続されたソース信号線（S 1 ~ S x）、F P C を介して E L ディスプレイの外部の電源に接続された電源供給線（V 1 ~ V x）、書き込み用ゲート信号線駆動回路 1 0 3 に接続された書き込み用ゲート信号線（第 1 のゲート信号線）（G a 1 ~ G a y）、消去用ゲート信号線駆動回路 1 0 4 に接続された

消去用ゲート信号線（第2のゲート信号線）（G e 1 ~ G e y）が画素部 1 0 1 に設けられている。

【 0 0 7 4 】

ソース信号線（S 1 ~ S x）と、電源供給線（V 1 ~ V x）と、書き込み用ゲート信号線（G a 1 ~ G a y）と、消去用ゲート信号線（G e 1 ~ G e y）とを備えた領域が画素 1 0 5 である。画素部 1 0 1 にはマトリクス状に複数の画素 1 0 5 が配列されることになる。

【 0 0 7 5 】

画素 1 0 5 の拡大図を図 3 に示す。図 3 において、1 0 7 はスイッチング用 T F T である。スイッチング用 T F T 1 0 7 のゲート電極は、書き込み用ゲート信号線 G a に接続されている。スイッチング用 T F T 1 0 7 のソース領域とドレイン領域は、一方がソース信号線 S に、もう一方が E L 駆動用 T F T 1 0 8 のゲート電極、各画素が有するコンデンサ 1 1 2 及び消去用 T F T 1 0 9 のソース領域又はドレイン領域にそれぞれ接続されている。

【 0 0 7 6 】

コンデンサ 1 1 2 はスイッチング用 T F T 1 0 5 が非選択状態（オフ状態）にある時、E L 駆動用 T F T 1 0 8 のゲート電圧を保持するために設けられている。なお本実施の形態ではコンデンサ 1 1 2 を設ける構成を示したが、本願発明はこの構成に限定されず、コンデンサ 1 1 2 を設けない構成にしても良い。

【 0 0 7 7 】

また、E L 駆動用 T F T 1 0 8 のソース領域とドレイン領域は、一方が電源供給線 V に接続され、もう一方は E L 素子 1 1 0 に接続される。電源供給線 V はコンデンサ 1 1 2 に接続されている。

【 0 0 7 8 】

また消去用 T F T 1 0 9 のソース領域とドレイン領域のうち、スイッチング用 T F T 1 0 7 のソース領域またはドレイン領域に接続されていない方は、電源供給線 V に接続されている。そして消去用 T F T 1 0 9 のゲート電極は、消去用ゲート信号線 G e に接続されている。

【 0 0 7 9 】

E L 素子 1 1 0 は陽極と陰極と、陽極と陰極との間に設けられた E L 層とからなる。陽極が E L 駆動用 T F T 1 0 8 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が E L 駆動用 T F T 1 0 8 のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【 0 0 8 0 】

E L 素子 1 1 0 の対向電極には対向電位が与えられている。また電源供給線 V は電源電位が与えられている。そして対向電位と電源電位の電位差は、電源電位が画素電極に与えられたときに E L 素子が発光する程度の電位差に常に保たれている。電源電位と対向電位は、本願発明の E L ディスプレイに、外付けの I C 等により設けられた電源によって与えられる。なお対向電位を与える電源を、本明細書では特に対向電源 1 1 1 と呼ぶ。

【 0 0 8 1 】

現在の典型的な E L ディスプレイには、画素の発光する面積あたりの発光量が 200 cd/m^2 の場合、画素部の面積あたりの電流が数 mA/cm^2 程度必要となる。そのため特に画面サイズが大きくなると、I C に設けられた電源から与えられる電位の高さをスイッチで制御することが難しくなっていく。本願発明においては、電源電位と対向電位は常に一定に保たれており、I C に設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【 0 0 8 2 】

そして本願発明において、電源電位の高さは、E L 駆動用 T F T 1 0 8 のゲート電極に電源電位が与えられたときに、E L 駆動用 T F T 1 0 8 がオフの状態となるような電位の高さであることが必要である。

【 0 0 8 3 】

スイッチング用 T F T 1 0 7、E L 駆動用 T F T 1 0 8、消去用 T F T 1 0 9 は、n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることができる。またスイッチング用 T F T 1 0 7、E L 駆動用 T F T 1 0 8、消去用 T F T 1 0 9 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造でもよい。

ト構造などのマルチゲート構造を有していても良い。

【0084】

次に上述した構成を有する本願発明のELディスプレイの駆動方法について説明する。

【0085】

はじめに書き込み用ゲート信号線G a 1に、書き込み用ゲート信号線駆動回路103から書き込み用選択信号が入力される。その結果、書き込み用ゲート信号線G a 1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT107がオンの状態になる。

【0086】

そして同時に、ソース信号線（S 1～S x）にソース信号線駆動回路102のラッチ（B）102cから、1ビット目のデジタルデータ信号が入力される。デジタルデータ信号はスイッチング用TFT107を介してEL駆動用TFT108のゲート電極に入力される。デジタルデータ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルデータ信号は、一方がH i、一方がL oの電圧を有する信号である。

【0087】

本実施の形態では、デジタルデータ信号が「0」の情報を有していた場合、EL駆動用TFT108はオフの状態となる。よってEL素子110の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルデータ信号が入力された画素が有するEL素子110は発光しない。

【0088】

逆に、「1」の情報を有していた場合、EL駆動用TFT108はオン状態となる。よってEL素子110の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルデータ信号が入力された画素が有するEL素子110は発光する。

【0089】

このように、1ライン目の画素にデジタルデータ信号が入力されると同時に、EL素子110が発光、または非発光を行い、1ライン目の画素は表示を行う。

画素が表示を行っている期間を表示期間 T_r と呼ぶ。特に 1 ビット目のデジタルデータ信号が画素に入力されたことで開始する表示期間を T_{r1} と呼ぶ。図 4 では説明を簡便にするために、特に 1 ライン目の画素の表示期間についてのみ示す。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0090】

次に G_{a1} への書き込み用選択信号の入力が終了すると同時に、書き込み用ゲート信号線 G_{a2} に同様に書き込み用選択信号が入力される。そして書き込み用ゲート信号線 G_{a2} に接続されている全ての画素のスイッチング用 TFT_{107} がオンの状態になり、2 ライン目の画素にソース信号線 ($S_1 \sim S_x$) から 1 ビット目のデジタルデータ信号が入力される。

【0091】

そして順に、全ての書き込み用ゲート信号線 ($G_{a1} \sim G_{ax}$) に書き込み用選択信号が入力されていく。全ての書き込み用ゲート信号線 ($G_{a1} \sim G_{ax}$) が選択され、全てのラインの画素に 1 ビット目のデジタルデータ信号が入力されるまでの期間が書き込み期間 T_{a1} である。

【0092】

一方、全てのラインの画素に 1 ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間 T_{a1} が終了する前に、画素への 1 ビット目のデジタルデータ信号の入力と並行して、消去用ゲート信号線駆動回路 104 からの消去用ゲート信号線 G_{e1} への消去用選択信号の入力が行われる。

【0093】

消去用ゲート信号線 G_{e1} に消去用選択信号が入力されると、消去用ゲート信号線 G_{e1} に接続されている全ての画素 (1 ライン目の画素) の消去用 TFT_{109} がオンの状態になる。そして電源供給線 ($V_1 \sim V_x$) の電源電位が消去用 TFT_{109} を介して EL 駆動用 TFT_{108} のゲート電極に与えられる。

【0094】

電源電位が EL 駆動用 TFT_{108} のゲート電極に与えられると、 EL 駆動用 TFT_{108} はオフの状態となる。よって電源電位は EL 素子 110 の画素電極に与えられなくなり、1 ライン目の画素が有する EL 素子は全て非発光の状態に

なり、1ライン目の画素が表示を行わなくなる。つまり、書き込み用ゲート信号線 $G a 1$ が書き込み用選択信号によって選択されたときから $E L$ 駆動用 $T F T$ のゲート電極が保持していたデジタルデータ信号は、 $E L$ 駆動用 $T F T$ のゲート電極に電源電位が与えられることで消去される。よって1ライン目の画素が表示を行わなくなる。

【0095】

画素が表示を行わない期間を非表示期間 $T d$ と呼ぶ。1ライン目の画素は、消去用ゲート信号線 $G e 1$ に消去用選択信号が入力されると同時に表示期間 $T r 1$ が終了し、非表示期間 $T d 1$ となる。

【0096】

図4では説明を簡便にするために、特に1ライン目の画素の非表示期間についてのみ示す。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0097】

そして $G e 1$ への消去用選択信号の入力が終了すると同時に、消去用ゲート信号線 $G e 2$ に消去用選択信号が入力され、同様に消去用ゲート信号線 $G e 2$ に接続されている全ての画素（2ライン目の画素）の消去用 $T F T 1 0 9$ がオンの状態になる。そして電源供給線（ $V 1 \sim V x$ ）の電源電位が消去用 $T F T 1 0 9$ を介して $E L$ 駆動用 $T F T 1 0 8$ のゲート電極に与えられる。電源電位が $E L$ 駆動用 $T F T 1 0 8$ のゲート電極に与えられると、 $E L$ 駆動用 $T F T 1 0 8$ はオフの状態となる。よって電源電位は $E L$ 素子 $1 1 0$ の画素電極に与えられなくなる。その結果2ライン目の画素が有する $E L$ 素子は全て非発光の状態になり、2ライン目の画素が表示を行わなくなり、非表示の状態となる。

【0098】

そして順に、全ての消去用ゲート信号線に消去用選択信号が入力されていく。全ての消去用ゲート信号線（ $G a 1 \sim G a x$ ）が選択され、全てのラインの画素が保持している1ビット目のデジタルデータ信号が消去されるまでの期間が消去期間 $T e 1$ である。

【0099】

一方、全てのラインの画素が保持している 1 ビット目のデジタルデータ信号が消去される前、言い換えると消去期間 T_{e1} が終了する前に、画素への 1 ビット目のデジタルデータ信号の消去と並行して、再び書き込み用ゲート信号線駆動回路 1 0 4 からの書き込み用ゲート信号線 G_{a1} への書き込み用選択信号の入力が行われる。その結果、1 ライン目の画素は再び表示を行うので、非表示期間 T_{d1} が終了して表示期間 T_{r2} となる。

【0 1 0 0】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2 ビット目のデジタルデータ信号が全ての画素に入力される。全てのラインの画素に 2 ビット目のデジタルデータ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

【0 1 0 1】

そして一方、全てのラインの画素に 2 ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への 2 ビット目のデジタルデータ信号の入力と並行して、消去用ゲート信号線駆動回路 1 0 4 からの消去用ゲート信号線 G_{e2} への消去用選択信号の入力が行われる。よって 1 ライン目の画素が有する EL 素子は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。よって 1 ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【0 1 0 2】

そして順に、全ての消去用ゲート信号線に消去用選択信号が入力されていく。全ての消去用ゲート信号線 ($G_{a1} \sim G_{ax}$) が選択され、全てのラインの画素が保持している 2 ビット目のデジタルデータ信号が消去されるまでの期間が消去期間 T_{e2} である。

【0 1 0 3】

上述した動作は m ビット目のデジタルデータ信号が画素に入力されるまで繰り返し行われ、表示期間 T_r と非表示期間 T_d とが繰り返し出現する (図 4)。表示期間 T_{r1} は、書き込み期間 T_{a1} が開始されてから消去期間 T_{e1} が開始されるまでの期間である。また非表示期間 T_{d1} は、消去期間 T_{e1} が開始されて

から表示期間 T_{r2} が開始されるまでの期間である。そして表示期間 T_{r2} 、 T_{r3} 、 \dots 、 $T_{r(m-1)}$ と非表示期間 T_{d2} 、 T_{d3} 、 \dots 、 $T_{d(m-1)}$ も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれ書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{am} と消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ とによって、その期間が定められる。

【0104】

そして m ビット目のデジタルデータ信号が 1 ライン目の画素に入力された後は、消去用ゲート信号線 G_{e1} に消去用選択信号は入力されない。説明を簡便にするために、本実施の形態では $m = n - 2$ の場合を例にとって説明するが、本願発明はこれに限定されないのは言うまでもない。本願発明において m は、2 から n までの値を任意に選択することが可能である。

【0105】

$(n - 2)$ ビット目のデジタルデータ信号が 1 ライン目の画素に入力されると、1 ライン目の画素は表示期間 $T_{r(n-2)}$ となり表示を行う。そして次のビットのデジタルデータ信号が入力されるまで、 $(n - 2)$ ビット目のデジタルデータ信号は画素に保持される。

【0106】

そして次に $(n - 1)$ ビット目のデジタルデータ信号が 1 ライン目の画素に入力されると、画素に保持されていた $(n - 2)$ ビット目のデジタルデータ信号は、 $(n - 1)$ ビット目のデジタルデータ信号に書き換えられる。そして 1 ライン目の画素は表示期間 $T_{r(n-1)}$ となり、表示を行う。 $(n - 2)$ ビット目のデジタルデータ信号は、次のビットのデジタルデータ信号が入力されるまで画素に保持される。

【0107】

上述した動作を n ビット目のデジタルデータ信号が画素に入力されるまで繰り返し行われる (図 4)。表示期間 $T_{r(n-2)}$ は、書き込み期間 $T_{a(n-2)}$ が開始されてから、書き込み期間 $T_{a(n-1)}$ が開始されるまでの期間である。そして表示期間 ($T_{r(n-1)}$ 、 T_{rn}) も表示期間 $T_{r(n-2)}$ と同様に、書き込み期間 T_a によって、その期間が定められる。

【0 1 0 8】

なお、書き込み期間の長さと消去期間の長さの関係は、 $T a 1 = T a 2 = T a 3 = \dots = T a n = T e 1 = T e 2 = \dots = T e (m-1)$ となっており、全て同じ長さである。

【0 1 0 9】

また本願発明では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さを $T r 1 : T r 2 : T r 3 : \dots : T r (n-1) : T r n = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。

【0 1 1 0】

全ての表示期間 ($T r 1 \sim T r n$) が終了すると、1つの画像を表示することができる。本願発明の駆動方法において、1つの画像を表示する期間を1フレーム期間 (F) と呼ぶ。

【0 1 1 1】

そして1フレーム期間終了後は、再び書き込み用ゲート信号線 $G a 1$ に、書き込み用ゲート信号線駆動回路 1 0 3 から書き込み用選択信号が入力される。その結果1ビット目のデジタルデータ信号が画素に入力され、1ライン目の画素が再び表示期間 $T r 1$ となる。そして再び上述した動作を繰り返す。

【0 1 1 2】

通常のELディスプレイでは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0 1 1 3】

表示期間 $T r$ の長さは、 $T r 1 : T r 2 : T r 3 : \dots : T r (n-1) : T r n = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となるように設定する。この表示期間の組み合わせで2ⁿ階調のうち所望の階調表示を行うことができる。

【0 1 1 4】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると

、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r3} と T_{r5} と T_{r8} を選択した場合には60%の輝度が表現できる。

【0115】

m ビット目のデジタルデータ信号が画素に書き込まれる書き込み期間 T_{am} は、表示期間 T_{rm} の長さよりも短いことが肝要である。よってビット数 m の値は、1～ n のうち、書き込み期間 T_{am} が表示期間 T_{rm} の長さよりも短くなるような値であることが必要である。

【0116】

また表示期間($T_{r1} \sim T_{rn}$)は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、…という順序で表示期間を出現させることも可能である。ただし、消去期間($T_{e1} \sim T_{en}$)が互いに重ならない順序の方がより好ましい。

【0117】

なお本願発明において、EL駆動用TF T 1 0 8は n チャネル型TF Tでも p チャネル型TF Tでもどちらでも用いることが可能であるが、EL素子110の陽極が画素電極で陰極が対向電極の場合、EL駆動用TF T 1 0 8は p チャネル型TF Tであることが好ましい。また逆にEL素子110の陽極が対向電極で陰極が画素電極の場合、EL駆動用TF T 1 0 8は n チャネル型TF Tであることが好ましい。

【0118】

本願発明は上記構成によって、TF Tによって $I_d - V_g$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_d - V_g$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0119】

また、本願発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本願

発明は非発光期間を設けることができるので、E L 層の劣化をある程度抑えることができる。

【0 1 2 0】

なお本願発明においては、表示期間と書き込み期間とが一部重なっている。言い換えると書き込み期間においても画素を表示させることが可能である。そのため、1 フレーム期間における表示期間の長さの総和の割合（デューティー比）が、書き込み期間の長さによってのみ決定されない。

【0 1 2 1】

なお、上述した本願発明の構成はE L ディスプレイへの適用だけに限らず、他の電気光学素子を用いた装置に適用することも可能である。また応答時間が数 1 0 μ s e c 程度以下の、高速応答する液晶が開発された場合には、液晶ディスプレイに適用することも可能である。

【0 1 2 2】

【実施例】 以下に、本願発明の実施例を説明する。

【0 1 2 3】

（実施例 1）

本実施例では、本願発明のE L ディスプレイにおいて、6 ビットのデジタルデータ信号により 2⁶ 階調の表示を行う場合について説明する。なお本実施例のE L ディスプレイは、図 1 ～図 3 に示した構造を有する。

【0 1 2 4】

はじめに書き込み用ゲート信号線 G a 1 に、書き込み用ゲート信号線駆動回路 1 0 3 から書き込み用選択信号が入力される。その結果、書き込み用ゲート信号線 G a 1 に接続されている全ての画素（1 ライン目の画素）のスイッチング用 T F T 1 0 7 がオンの状態になる。

【0 1 2 5】

そして同時に、ソース信号線（S 1 ～S x）にソース信号線駆動回路 1 0 2 のラッチ（B） 1 0 2 c から、1 ビット目のデジタルデータ信号が入力される。デジタルデータ信号はスイッチング用 T F T 1 0 7 を介してE L 駆動用 T F T 1 0 8 のゲート電極に入力される。

【0 1 2 6】

本実施例では、デジタルデータ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって E L 素子 1 1 0 の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルデータ信号が入力された画素が有する E L 素子 1 1 0 は発光しない。

【0 1 2 7】

逆に、「1」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオン状態となる。よって E L 素子 1 1 0 の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルデータ信号が入力された画素が有する E L 素子 1 1 0 は発光する。

【0 1 2 8】

このように 1 ライン目の画素は、デジタルデータ信号が入力されると同時に、E L 素子 1 1 0 が発光、または非発光を行い、表示期間 T r 1 となる。図 5 では説明を簡便にするために、特に 1 ライン目の画素の表示期間についてのみ示す。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0 1 2 9】

次に G a 1 への書き込み用選択信号の入力が終了すると同時に、書き込み用ゲート信号線 G a 2 に同様に書き込み用選択信号が入力される。そして書き込み用ゲート信号線 G a 2 に接続されている全ての画素のスイッチング用 T F T 1 0 7 がオンの状態になり、2 ライン目の画素にソース信号線 (S 1 ~ S x) から 1 ビット目のデジタルデータ信号が入力される。

【0 1 3 0】

そして順に、全ての書き込み用ゲート信号線 (G a 1 ~ G a x) に書き込み用選択信号が入力されていく。全ての書き込み用ゲート信号線 (G a 1 ~ G a x) が選択され、全てのラインの画素に 1 ビット目のデジタルデータ信号が入力されるまでの期間が書き込み期間 T a 1 である。

【0 1 3 1】

一方、全てのラインの画素に 1 ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間 T a 1 が終了する前に、画素への 1 ビット目のデジ

タルデータ信号の入力と並行して、消去用ゲート信号線駆動回路 1 0 4 からの消去用ゲート信号線 G e 1 への消去用選択信号の入力が行われる。

【0 1 3 2】

消去用ゲート信号線 G e 1 に消去用選択信号が入力されると、消去用ゲート信号線 G e 1 に接続されている全ての画素（1 ライン目の画素）の消去用 T F T 1 0 9 がオンの状態になる。そして電源供給線（V 1 ~ V x）の電源電位が消去用 T F T 1 0 9 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。

【0 1 3 3】

電源電位が E L 駆動用 T F T 1 0 8 のゲート電極に与えられると、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなり、1 ライン目の画素が有する E L 素子は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。つまり、書き込み用ゲート信号線 G a 1 が書き込み用選択信号によって選択されたときから E L 駆動用 T F T のゲート電極が保持していたデジタルデータ信号は、E L 駆動用 T F T のゲート電極に電源電位が与えられることで消去される。よって 1 ライン目の画素が表示を行わなくなる。

【0 1 3 4】

1 ライン目の画素は、消去用ゲート信号線 G e 1 に消去用選択信号が入力されると同時に表示期間 T r 1 が終了し、非表示期間 T d 1 となる。

【0 1 3 5】

図 5 では説明を簡便にするために、特に 1 ライン目の画素の非表示期間についてのみ示す。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0 1 3 6】

そして G e 1 への消去用選択信号の入力が終了すると同時に、消去用ゲート信号線 G e 2 に消去用選択信号が入力され、同様に消去用ゲート信号線 G e 2 に接続されている全ての画素（2 ライン目の画素）の消去用 T F T 1 0 9 がオンの状態になる。そして電源供給線（V 1 ~ V x）の電源電位が消去用 T F T 1 0 9 を介して E L 駆動用 T F T 1 0 8 のゲート電極に与えられる。電源電位が E L 駆動

用 T F T 1 0 8 のゲート電極に与えられると、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって電源電位は E L 素子 1 1 0 の画素電極に与えられなくなる。その結果 2 ライン目の画素が有する E L 素子は全て非発光の状態になり、2 ライン目の画素が表示を行わなくなり、非表示の状態となる。

【0 1 3 7】

そして順に、全ての消去用ゲート信号線に消去用選択信号が入力されていく。全ての消去用ゲート信号線 (G a 1 ~ G a x) が選択され、全てのラインの画素が保持している 1 ビット目のデジタルデータ信号が消去されるまでの期間が消去期間 T e 1 である。

【0 1 3 8】

一方、全てのラインの画素が保持している 1 ビット目のデジタルデータ信号が消去される前、言い換えると消去期間 T e 1 が終了する前に、画素への 1 ビット目のデジタルデータ信号の消去と並行して、再び書き込み用ゲート信号線駆動回路 1 0 4 からの書き込み用ゲート信号線 G a 1 への書き込み用選択信号の入力が行われる。その結果、1 ライン目の画素は再び表示を行うので、非表示期間 T d 1 が終了して表示期間 T r 2 となる。

【0 1 3 9】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2 ビット目のデジタルデータ信号が全ての画素に入力される。全てのラインの画素に 2 ビット目のデジタルデータ信号が入力し終わるまでの期間を、書き込み期間 T a 2 と呼ぶ。

【0 1 4 0】

そして一方、全てのラインの画素に 2 ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間 T a 2 が終了する前に、画素への 2 ビット目のデジタルデータ信号の入力と並行して、消去用ゲート信号線駆動回路 1 0 4 からの消去用ゲート信号線 G e 2 への消去用選択信号の入力が行われる。よって 1 ライン目の画素が有する E L 素子は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。よって 1 ライン目の画素において表示期間 T r 2 は終了し、非表示期間 T d 2 となる。

【0 1 4 1】

そして順に、全ての消去用ゲート信号線に消去用選択信号が入力されていく。全ての消去用ゲート信号線（G a 1 ～ G a x）が選択され、全てのラインの画素が保持している 2 ビット目のデジタルデータ信号が消去されるまでの期間が消去期間 T e 2 である。

【0 1 4 2】

上述した動作は 5 ビット目のデジタルデータ信号が画素に入力されるまで繰り返し行われ、表示期間 T r と非表示期間 T d とが繰り返し出現する（図 5）。表示期間 T r 1 は、書き込み期間 T a 1 が開始されてから消去期間 T e 1 が開始されるまでの期間である。また非表示期間 T d 1 は、消去期間 T e 1 が開始されてから表示期間 T r 2 が開始されるまでの期間である。そして表示期間 T r 2、T r 3、T r 4 と非表示期間 T d 2、T d 3、T d 4 も、表示期間 T r 1 と非表示期間 T d 1 と同様に、それぞれ書き込み期間 T a 1、T a 2、…、T a 5 と消去期間 T e 1、T e 2、…、T e 4 とによって、その期間が定められる。

【0 1 4 3】

そして 5 ビット目のデジタルデータ信号が 1 ライン目の画素に入力された後は、消去用ゲート信号線 G e 1 に消去用選択信号は入力されない。なお本実施例において、5 ビット目のデジタルデータ信号が 1 ライン目の画素に入力された後は、消去用ゲート信号線 G e 1 に消去用選択信号は入力されないが、本願発明はこの値に限定されないのは言うまでもない。

【0 1 4 4】

5 ビット目のデジタルデータ信号が 1 ライン目の画素に入力されると、1 ライン目の画素は表示期間 T r 5 となり表示を行う。そして次のビットのデジタルデータ信号が入力されるまで、5 ビット目のデジタルデータ信号は画素に保持される。

【0 1 4 5】

そして次に 6 ビット目のデジタルデータ信号が 1 ライン目の画素に入力されると、画素に保持されていた 5 ビット目のデジタルデータ信号は、6 ビット目のデジタルデータ信号に書き換えられる。そして 1 ライン目の画素は表示期間 T r 6

となり、表示を行う。6ビット目のデジタルデータ信号は、再び1ビット目のデジタルデータ信号が入力されるまで画素に保持される。

【0 1 4 6】

再び1ビット目のデジタルデータ信号が画素に入力されると、表示期間 $T_r 6$ は終了し、同時にフレーム期間が終了する。全ての表示期間 ($T_r 1 \sim T_r 6$) が終了すると、1つの画像を表示することができる。本願発明の駆動方法において、1つの画像を表示する期間を1フレーム期間 (F) と呼ぶ。そして上述した動作を繰り返す。

【0 1 4 7】

表示期間 $T_r 5$ は、書き込み期間 $T_a 5$ が開始されてから、書き込み期間 $T_a 6$ が開始されるまでの期間である。そして表示期間 $T_r 6$ は、書き込み期間 $T_a 6$ が開始されてから、次のフレーム期間の書き込み期間 $T_a 1$ が開始されるまでの期間である。

【0 1 4 8】

なお、書き込み期間の長さで消去期間の長さの関係は、 $T_a 1 = T_a 2 = T_a 3 = \dots = T_a n = T_e 1 = T_e 2 = \dots = T_e (m-1)$ となっており、全て同じ長さである。

【0 1 4 9】

通常のELディスプレイでは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0 1 5 0】

表示期間 T_r の長さは、 $T_r 1 : T_r 2 : \dots : T_r 5 : T_r 6 = 2^0 : 2^1 : \dots : 2^4 : 2^5$ となるように設定する。この表示期間の組み合わせで 2^6 階調のうち所望の階調表示を行うことができる。

【0 1 5 1】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を100%とすると、 $T_r 1$ と $T_r 2$ におい

て画素が発光した場合には 5 % の輝度が表現でき、 $T r 3$ と $T r 5$ を選択した場合には 3 2 % の輝度が表現できる。

【0 1 5 2】

本実施例において、5 ビット目のデジタルデータ信号が画素に書き込まれる書き込み期間 $T a 5$ は、表示期間 $T r 5$ の長さよりも短いことが肝要である。

【0 1 5 3】

また表示期間 ($T r 1 \sim T r 6$) は、どのような順序で出現させても良い。例えば 1 フレーム期間中において、 $T r 1$ の次に $T r 3$ 、 $T r 5$ 、 $T r 2$ 、 \dots という順序で表示期間を出現させることも可能である。ただし、消去期間 ($T e 1 \sim T e 6$) が互いに重ならない順序の方がより好ましい。

【0 1 5 4】

なお本願発明において、EL 駆動用 T F T 1 0 8 は n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることが可能であるが、EL 素子 1 1 0 の陽極が画素電極で陰極が対向電極の場合、EL 駆動用 T F T 1 0 8 は p チャネル型 T F T であることが好ましい。また逆に EL 素子 1 1 0 の陽極が対向電極で陰極が画素電極の場合、EL 駆動用 T F T 1 0 8 は n チャネル型 T F T であることが好ましい。

【0 1 5 5】

本願発明は上記構成によって、T F T によって $I d - V g$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I d - V g$ 特性のバラツキによって、同じ電圧の信号を入力しても EL 素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0 1 5 6】

また、本願発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、EL ディスプレイに全白の画像を表示させると、常に EL 素子が発光することになり、EL 層の劣化を早める原因となってしまう。本願発明は非発光期間を設けることができるので、EL 層の劣化をある程度抑えることができる。

【0 1 5 7】

また本願発明では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さを $T_{r1} : T_{r2} : \dots : T_{r5} : T_{r6} = 2^0 : 2^1 : \dots : 2^4 : 2^5$ とすることが可能な範囲で、書き込み期間の長さを設定することが必要である。

【0 1 5 8】

(実施例2)

本実施例では、本願発明を用いてELディスプレイを作製した例について説明する。

【0 1 5 9】

図6 (A) は本願発明を用いたELディスプレイの上面図である。図6 (A) において、4 0 1 0 は基板、4 0 1 1 は画素部、4 0 1 2 はソース信号線駆動回路、4 0 1 3 a は書き込み用ゲート信号線駆動回路であり、4 0 1 3 b は消去用ゲート信号線駆動回路であり、それぞれの駆動回路は配線4 0 1 4 a、4 0 1 4 b、4 0 1 5、4 0 1 6 を経てF P C 4 0 1 7 に至り、外部機器へと接続される。

【0 1 6 0】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6 0 0 0、シーリング材（ハウジング材ともいう）7 0 0 0、密封材（第2のシーリング材）7 0 0 1 が設けられている。

【0 1 6 1】

また、図6 (B) は本実施例のELディスプレイの断面構造であり、基板4 0 1 0、下地膜4 0 2 1 の上に駆動回路用T F T（但し、ここではnチャネル型T F Tとpチャネル型T F Tを組み合わせたC M O S回路を図示している。）4 0 2 2 及び画素部用T F T 4 0 2 3（但し、ここではEL素子への電流を制御するスイッチング用T F Tだけ図示している。）が形成されている。これらのT F T は公知の構造（トップゲート構造またはボトムゲート構造）を用いれば良い。

【0 1 6 2】

駆動回路用T F T 4 0 2 2、画素部用T F T 4 0 2 3 が完成したら、樹脂材

料でなる層間絶縁膜（平坦化膜）4 0 2 6 の上に画素部用 T F T 4 0 2 3 のドレインと電氣的に接続する透明導電膜でなる画素電極 4 0 2 7 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（I T O と呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 4 0 2 7 を形成したら、絶縁膜 4 0 2 8 を形成し、画素電極 4 0 2 7 上に開口部を形成する。

【0 1 6 3】

次に、E L 層 4 0 2 9 を形成する。E L 層 4 0 2 9 は公知の E L 材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、E L 材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0 1 6 4】

本実施例では、シャドーマスクを用いて蒸着法により E L 層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（C C M）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の E L ディスプレイとすることもできる。

【0 1 6 5】

E L 層 4 0 2 9 を形成したら、その上に陰極 4 0 3 0 を形成する。陰極 4 0 3 0 と E L 層 4 0 2 9 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で E L 層 4 0 2 9 と陰極 4 0 3 0 を連続成膜するか、E L 層 4 0 2 9 を不活性雰囲気中で形成し、大気解放しないで陰極 4 0 3 0 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0 1 6 6】

なお、本実施例では陰極 4 0 3 0 として、L i F (フッ化リチウム) 膜と A l (アルミニウム) 膜の積層構造を用いる。具体的には E L 層 4 0 2 9 上に蒸着法で 1 n m 厚の L i F (フッ化リチウム) 膜を形成し、その上に 3 0 0 n m 厚のアルミニウム膜を形成する。勿論、公知の陰極材料である M g A g 電極を用いても良い。そして陰極 4 0 3 0 は 4 0 3 1 で示される領域において配線 4 0 1 6 に接続される。配線 4 0 1 6 は陰極 4 0 3 0 に所定の電圧を与えるための電源供給線であり、導電性ペースト材料 4 0 3 2 を介して F P C 4 0 1 7 に接続される。

【0 1 6 7】

4 0 3 1 に示された領域において陰極 4 0 3 0 と配線 4 0 1 6 とを電氣的に接続するために、層間絶縁膜 4 0 2 6 及び絶縁膜 4 0 2 8 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 4 0 2 6 のエッチング時 (画素電極用コンタクトホールの形成時) や絶縁膜 4 0 2 8 のエッチング時 (E L 層形成前の開口部の形成時) に形成しておけば良い。また、絶縁膜 4 0 2 8 をエッチングする際に、層間絶縁膜 4 0 2 6 まで一括でエッチングしても良い。この場合、層間絶縁膜 4 0 2 6 と絶縁膜 4 0 2 8 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0 1 6 8】

このようにして形成された E L 素子の表面を覆って、パッシベーション膜 6 0 0 3、充填材 6 0 0 4、カバー材 6 0 0 0 が形成される。

【0 1 6 9】

さらに、E L 素子部を囲むようにして、カバー材 6 0 0 0 と基板 4 0 1 0 の内側にシーリング材 7 0 0 0 が設けられ、さらにシーリング材 7 0 0 0 の外側には密封材 (第 2 のシーリング材) 7 0 0 1 が形成される。

【0 1 7 0】

このとき、この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、P V C (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、P V B (ポリビニルブチラル) または E V A (エチレンビニルアセテート) を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0 1 7 1】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0 1 7 2】

スペーサーを設けた場合、パッシベーション膜 6 0 0 3 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0 1 7 3】

また、カバー材 6 0 0 0 としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6 0 0 4 として PVB や EVA を用いる場合、数十 μm のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0 1 7 4】

但し、EL 素子からの発光方向 (光の放射方向) によっては、カバー材 6 0 0 0 が透光性を有する必要がある。

【0 1 7 5】

また、配線 4 0 1 6 はシーリング材 7 0 0 0 および密封材 7 0 0 1 と基板 4 0 1 0 との隙間を通して FPC 4 0 1 7 に電氣的に接続される。なお、ここでは配線 4 0 1 6 について説明したが、他の配線 4 0 1 4 a、4 0 1 4 b、4 0 1 5 も同様にしてシーリング材 7 0 0 0 および密封材 7 0 0 1 と基板 4 0 1 0 との隙間を通して FPC 4 0 1 7 に電氣的に接続される。

【0 1 7 6】

なお本実施例では、充填材 6 0 0 4 を設けてからカバー材 6 0 0 0 を接着し、充填材 6 0 0 4 の側面 (露呈面) を覆うようにシーリング材 7 0 0 0 を取り付けられているが、カバー材 6 0 0 0 及びシーリング材 7 0 0 0 を取り付けしてから、充填材 6 0 0 4 を設けても良い。この場合、基板 4 0 1 0、カバー材 6 0 0 0 及びシ

ーリング材 7 0 0 0 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態 (10^{-2} Torr 以下) にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0 1 7 7】

(実施例 3)

本実施例では、本願発明を用いて実施例 2 とは異なる形態の EL ディスプレイを作製した例について、図 7 (A)、7 (B) を用いて説明する。図 6 (A)、6 (B) と同じ番号のものは同じ部分を指しているので説明は省略する。

【0 1 7 8】

図 7 (A) は本実施例の EL ディスプレイの上面図であり、図 7 (A) を A-A' で切断した断面図を図 7 (B) に示す。

【0 1 7 9】

実施例 2 に従って、EL 素子の表面を覆ってパッシベーション膜 6 0 0 3 ま でを形成する。

【0 1 8 0】

さらに、EL 素子を覆うようにして充填材 6 0 0 4 を設ける。この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0 1 8 1】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0 1 8 2】

スペーサーを設けた場合、パッシベーション膜 6 0 0 3 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和す

る樹脂膜などを設けてもよい。

【0183】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0184】

但し、EL素子からの発光方向 (光の放射方向) によっては、カバー材6000が透光性を有する必要がある。

【0185】

次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面 (露呈面) を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材 (接着剤として機能する) 6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0186】

また、配線4016はシーリング材6002と基板4010との隙間を通過してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014a、4014b、4015も同様にしてシーリング材6002と基板4010との隙間を通過してFPC4017に電氣的に接続される。

【0187】

なお本実施例では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面 (露呈面) を覆うようにフレーム材6001を取り付けているが、カバー材6000及びフレーム材6001を取り付けてから、充填材6

0 0 4 を設けても良い。この場合、基板 4 0 1 0、カバー材 6 0 0 0 及びフレーム材 6 0 0 1 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態 (10^{-2} Torr 以下) にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0 1 8 8】

(実施例 4)

ここで E L ディスプレイにおける画素部のさらに詳細な断面構造を図 8 に示す。図 8 において、基板 3 5 0 1 上に設けられたスイッチング用 T F T 3 5 0 2 は公知の方法を用いて形成された n チャネル型 T F T を用いる。本実施例ではダブルゲート構造としている。ダブルゲート構造とすることで実質的に二つの T F T が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法を用いて形成された p チャネル型 T F T を用いても構わない。

【0 1 8 9】

また、消去用 T F T 3 5 0 4 は公知の方法を用いて形成された n チャネル型 T F T を用いる。本実施例ではシングルゲート構造としている。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法を用いて形成された p チャネル型 T F T を用いても構わない。消去用 T F T 3 5 0 4 のドレイン配線 3 1 は配線 3 6 によって、スイッチング用 T F T 3 5 0 2 のドレイン配線 3 5 と、E L 駆動用 T F T のゲート電極 3 7 とに電氣的に接続されている。

【0 1 9 0】

また、E L 駆動用 T F T 3 5 0 3 は公知の方法を用いて形成された n チャネル型 T F T を用いる。E L 駆動用 T F T のゲート電極 3 7 は配線 3 6 によって、スイッチング用 T F T 3 5 0 2 のドレイン配線 3 5 と、消去用 T F T 3 5 0 4 のドレイン配線 3 1 とに電氣的に接続されている。

【0 1 9 1】

E L 駆動用 T F T は E L 素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、E L 駆動用 T F T のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるように L D D 領域を設ける本願発明の構造は極めて有効である。

【0 1 9 2】

また、本実施例では E L 駆動用 T F T 3 5 0 3 をシングルゲート構造で図示しているが、複数の T F T を直列につなげたマルチゲート構造としても良い。さらに、複数の T F T を並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0 1 9 3】

また、ドレイン配線 4 0 は電源供給線（電源線）3 5 0 6 に接続され、常に一定の電圧が加えられている。

【0 1 9 4】

スイッチング用 T F T 3 5 0 2、E L 駆動用 T F T 3 5 0 3 及び消去用 T F T 3 5 0 4 の上には第 1 パッシベーション膜 4 1 が設けられ、その上に樹脂絶縁膜でなる平坦化膜 4 2 が形成される。平坦化膜 4 2 を用いて T F T による段差を平坦化することは非常に重要である。後に形成される E L 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L 層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0 1 9 5】

また、4 3 は反射性の高い導電膜でなる画素電極（この場合 E L 素子の陰極）であり、E L 駆動用 T F T 3 5 0 3 のドレイン領域に電氣的に接続される。画素電極 4 3 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0 1 9 6】

また、絶縁膜（好ましくは樹脂）で形成されたバンク 4 4 a、4 4 bにより形成された溝（画素に相当する）の中に発光層 4 5 が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機 E L 材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（P P V）系、ポリビニルカルバゾール（P V K）系、ポリフルオレン系などが挙げられる。

【0 1 9 7】

なお、P P V 系有機 E L 材料としては様々な型のものがあるが、例えば「H. S henk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, “Polymers for Light Emitting Diodes”, Euro Display, Proceedings, 1999, p. 33-37」や特開平 1 0 - 9 2 5 7 6 号公報に記載されたような材料を用いれば良い。

【0 1 9 8】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 3 0 ~ 1 5 0 n m（好ましくは 4 0 ~ 1 0 0 n m）とすれば良い。

【0 1 9 9】

但し、以上の例は発光層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて E L 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0 2 0 0】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

【0 2 0 1】

本実施例では発光層 4 5 の上に P E D O T (ポリチオフェン) または P A n i (ポリアニリン) でなる正孔注入層 4 6 を設けた積層構造の E L 層としている。そして、正孔注入層 4 6 の上には透明導電膜でなる陽極 4 7 が設けられる。本実施例の場合、発光層 4 5 で生成された光は上面側に向かって (T F T の上方に向かって) 放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0 2 0 2】

陽極 4 7 まで形成された時点で E L 素子 3 5 0 5 が完成する。なお、ここでいう E L 素子 3 5 0 5 は、画素電極 (陰極) 4 3、発光層 4 5、正孔注入層 4 6 及び陽極 4 7 で形成されたコンデンサを指す。画素電極 4 3 は画素の面積にはほぼ一致させているため、画素全体が E L 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0 2 0 3】

また本実施例では、陽極 4 7 の上にさらに第 2 パッシベーション膜 4 8 を設けている。第 2 パッシベーション膜 4 8 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と E L 素子とを遮断することであり、有機 E L 材料の酸化による劣化を防ぐ意味と、有機 E L 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより E L ディスプレイの信頼性が高められる。

【0 2 0 4】

以上のように本願発明の E L ディスプレイは図 8 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い E L 駆動用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な E L ディスプレイが得られる。

【0 2 0 5】

(実施例 5)

本実施例では、実施例 4 に示した画素部において、E L 素子 3 5 0 5 の構造を反転させた構造について説明する。説明には図 9 を用いる。なお、図 8 の構造

と異なる点はE L素子の部分とE L駆動用T F Tだけであるので、その他の説明は省略することとする。

【0 2 0 6】

図9において、E L駆動用T F T 3 5 0 3は公知の方法を用いて形成されたpチャネル型T F Tを用いる。

【0 2 0 7】

本実施例では、画素電極（陽極）5 0として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0 2 0 8】

そして、絶縁膜でなるバンク5 1 a、5 1 bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層5 2が形成される。その上にはカリウムアセチルアセトネート（a c a c Kと表記される）でなる電子注入層5 3、アルミニウム合金でなる陰極5 4が形成される。この場合、陰極5 4がパッシベーション膜としても機能する。こうしてE L素子3 7 0 1が形成される。

【0 2 0 9】

本実施例の場合、発光層5 2で発生した光は、矢印で示されるようにT F Tが形成された基板の方に向かって放射される。

【0 2 1 0】

（実施例6）

本実施例では、図3に示した回路図とは異なる構造の画素とした場合の例について、図10（A）～（C）を用いて説明する。なお、本実施例において、3 8 0 1はスイッチング用T F T 3 8 0 3のゲート配線（ゲート信号線の一部）、3 8 0 2はスイッチング用T F T 3 8 0 3のソース配線（ソース信号線の一部）、3 8 0 4はE L駆動用T F T、3 8 0 5は消去用T F T、3 8 0 6はE L素子、3 8 0 7は電源供給線、3 8 0 8はコンデンサとする。

【0 2 1 1】

図10（A）は、二つの画素間で電源供給線3 8 0 7を共通とした場合の例である。即ち、二つの画素が電源供給線3 8 0 7を中心に線対称となるように形成

されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0 2 1 2】

また、図 1 0 (B) は、電源供給線 3 8 0 8 をゲート配線 3 8 0 1 と平行に設けた場合の例である。なお、図 1 0 (B) では電源供給線 3 8 0 8 とゲート配線 3 8 0 1 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 3 8 0 8 とゲート配線 3 8 0 1 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0 2 1 3】

また、図 1 0 (C) は、図 1 0 (B) の構造と同様に電源供給線 3 8 0 8 をゲート配線 3 8 0 1 と平行に設け、さらに、二つの画素を電源供給線 3 8 0 8 を中心に線対称となるように形成する点に特徴がある。また、電源供給線 3 8 0 8 をゲート配線 3 8 0 1 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0 2 1 4】

(実施例 7)

図 3、図 1 0 では E L 駆動用 T F T のゲート電極にかかる電圧を保持するためにコンデンサを設ける構造としているが、コンデンサを省略することも可能である。E L 駆動用 T F T として用いる n チャネル型 T F T が、ゲート絶縁膜を介してゲート電極に重なるように設けられた L D D 領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量を E L 駆動用 T F T のゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いる点に特徴がある。

【0 2 1 5】

この寄生容量のキャパシタンスは、上記ゲート電極と L D D 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる L D D 領域の長さによって決まる。

【0 2 1 6】

(実施例 8)

本実施例では、本願発明の E L ディスプレイの画素部とその周辺に設けられる駆動回路部の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位である C M O S 回路を図示することとする。また消去用 T F T については、スイッチング用 T F T または E L 駆動用 T F T の作製方法を用いて作製することが可能であるので、ここでは省略する。

【0 2 1 7】

まず、図 1 1 (A) に示すように、下地膜 (図示せず) を表面に設けた基板 5 0 1 を用意する。本実施例では結晶化ガラス上に下地膜として 1 0 0 n m 厚の窒化酸化珪素膜を 2 0 0 n m 厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を 1 0 ~ 2 5 w t % としておくが良い。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0 2 1 8】

次に基板 5 0 1 の上に 4 5 n m の厚さのアモルファスシリコン膜 5 0 2 を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜 (微結晶半導体膜を含む) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0 2 1 9】

ここから図 1 1 (C) までの工程は本願発明者による特開平 1 0 - 2 4 7 7 3 5 号公報を完全に引用することができる。同公報では N i 等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0 2 2 0】

まず、開口部 5 0 3 a、5 0 3 b を有する保護膜 5 0 4 を形成する。本実施例では 1 5 0 n m 厚の酸化珪素膜を用いる。そして、保護膜 5 0 4 の上にスピコート法によりニッケル (N i) を含有する層 (N i 含有層) 5 0 5 を形成する。この N i 含有層の形成に関しては、前記公報を参考にすれば良い。

【0 2 2 1】

次に、図 1 1 (B) に示すように、不活性雰囲気中で 5 7 0 °C 1 4 時間の加熱

処理を加え、アモルファスシリコン膜 5 0 2 を結晶化する。この際、N i が接した領域（以下、N i 添加領域という）5 0 6 a、5 0 6 b を起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜 5 0 7 が形成される。

【 0 2 2 2 】

次に、図 1 1 (C) に示すように、保護膜 5 0 4 をそのままマスクとして 1 5 族に属する元素（好ましくはリン）を N i 添加領域 5 0 6 a、5 0 6 b に添加する。こうして高濃度にリンが添加された領域（以下、リン添加領域という）5 0 8 a、5 0 8 b が形成される。

【 0 2 2 3 】

次に、図 1 1 (C) に示すように、不活性雰囲気中で 6 0 0 °C 1 2 時間の加熱処理を加える。この熱処理によりポリシリコン膜 5 0 7 中に存在する N i は移動し、最終的には殆ど全て矢印が示すようにリン添加領域 5 0 8 a、5 0 8 b に捕獲されてしまう。これはリンによる金属元素（本実施例では N i）のゲッターリング効果による現象であると考えられる。

【 0 2 2 4 】

この工程によりポリシリコン膜 5 0 9 中に残る N i の濃度は S I M S（質量二次イオン分析）による測定値で少なくとも $2 \times 10^{17} \text{atoms/cm}^3$ にまで低減される。N i は半導体にとってライフタイムキラーであるが、この程度まで低減されると T F T 特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状の S I M S 分析の測定限界であるので、実際にはさらに低い濃度（ $2 \times 10^{17} \text{atoms/cm}^3$ 以下）であると考えられる。

【 0 2 2 5 】

こうして触媒を用いた結晶化され、且つ、その触媒が T F T の動作に支障を与えないレベルにまで低減されたポリシリコン膜 5 0 9 が得られる。その後、このポリシリコン膜 5 0 9 のみを用いた活性層 5 1 0 ~ 5 1 3 をパターンニング工程により形成する。また、この時、後のパターンニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。（図 1 1 (D))

【0 2 2 6】

次に、図 1 1 (E) に示すように、5 0 n m 厚の窒化酸化シリコン膜をプラズマ C V D 法により形成し、その上で酸化雰囲気中で 9 5 0 ° C 1 時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0 2 2 7】

この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約 1 5 n m 厚のポリシリコン膜が酸化されて約 3 0 n m 厚の酸化シリコン膜が形成される。即ち、3 0 n m 厚の酸化シリコン膜と 5 0 n m 厚の窒化酸化シリコン膜が積層されてなる 8 0 n m 厚のゲート絶縁膜 5 1 4 が形成される。また、活性層 5 1 0 ~ 5 1 3 の膜厚はこの熱酸化工程によって 3 0 n m となる。

【0 2 2 8】

次に、図 1 2 (A) に示すように、レジストマスク 5 1 5 a、5 1 5 b を形成し、ゲート絶縁膜 5 1 4 を介して p 型を付与する不純物元素（以下、p 型不純物元素という）を添加する。p 型不純物元素としては、代表的には 1 3 族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）は T F T のしきい値電圧を制御するための工程である。

【0 2 2 9】

なお、本実施例ではジボラン (B_2H_6) を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度でボロンを含む不純物領域 5 1 6、5 1 7 が形成される。

【0 2 3 0】

次に、図 1 2 (B) に示すように、レジストマスク 5 1 9 a、5 1 9 b を形成し、ゲート絶縁膜 5 1 4 を介して n 型を付与する不純物元素（以下、n 型不純物元素という）を添加する。なお、n 型不純物元素としては、代表的には 1 5 族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例では

フォスフィン (PH_3) を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0 2 3 1】

この工程により形成される n 型不純物領域 5 2 0 には、n 型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$) の濃度で含まれるようにドーズ量を調節する。

【0 2 3 2】

次に、図 1 2 (C) に示すように、添加された n 型不純物元素及び p 型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜 5 1 4 が設けられているので電熱炉を用いたファーンেসアニール処理が好ましい。また、図 1 2 (A) の工程でチャネル形成領域となる部分の活性層／ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0 2 3 3】

本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を 800°C 1 時間のファーンেসアニール処理により行う。なお、処理雰囲気を酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気で加熱処理を行っても良い。

【0 2 3 4】

この工程により n 型不純物領域 5 2 0 の端部、即ち、n 型不純物領域 5 2 0 の周囲に存在する n 型不純物元素を添加していない領域 (図 1 2 (A) の工程で形成された p 型不純物領域) との境界部 (接合部) が明確になる。このことは、後に T F T が完成した時点において、L D D 領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0 2 3 5】

次に、 $200 \sim 400 \text{ nm}$ 厚の導電膜を形成し、パターニングしてゲート電極 5 2 2 \sim 5 2 5 を形成する。このゲート電極 5 2 2 \sim 5 2 5 の線幅によって各 T F T のチャネル長の長さが決定する。

【0 2 3 6】

なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル (T a)、チタン (T i)、モリブデン (M o)、タングステン (W)、クロム (C r)、シリコン (S i) から選ばれた元素でなる膜、または前記元素の窒化物でなる膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはM o - W合金、M o - T a合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0 2 3 7】

本実施例では、5 0 n m厚の窒化タングステン (W N) 膜と、3 5 0 n m厚のタングステン (W) 膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン (X e)、ネオン (N e) 等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0 2 3 8】

またこの時、ゲート電極5 2 3はn型不純物領域5 2 0の一部とゲート絶縁膜5 1 4を介して重なるように形成する。この重なった部分が後にゲート電極と重なったL D D領域となる。なお、ゲート電極5 2 4 a、5 2 4 bは断面では二つに見えるが、実際は電氣的に接続されている。

【0 2 3 9】

次に、図1 3 (A) に示すように、ゲート電極5 2 2 ~ 5 2 5をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域5 2 6 ~ 5 3 3にはn型不純物領域5 2 0の $1/2 \sim 1/10$ （代表的には $1/3 \sim 1/4$ ）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度が好ましい。

【0 2 4 0】

次に、図1 3 (B) に示すように、ゲート電極等を覆う形でレジストマスク5

3 4 a ~ 5 3 4 d を形成し、n 型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域 5 3 5 ~ 5 3 9 を形成する。ここでもフォスフィン（ PH_3 ）を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）となるように調節する。

【0 2 4 1】

この工程によって n チャネル型 T F T のソース領域若しくはドレイン領域が形成されるが、スイッチング用 T F T は、図 1 3（A）の工程で形成した n 型不純物領域 5 2 8 ~ 5 3 1 の一部が残る。この残された領域が、スイッチング用 T F T の L D D 領域となる。

【0 2 4 2】

次に、図 1 3（C）に示すように、レジストマスク 5 3 4 a ~ 5 3 4 d を除去し、新たにレジストマスク 5 4 2 を形成する。そして、p 型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域 5 4 0、5 4 1、5 4 3、5 4 4 を形成する。ここではジボラン（ B_2H_6 ）を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）濃度となるようにボロンを添加する。

【0 2 4 3】

なお、不純物領域 5 4 0、5 4 1、5 4 3、5 4 4 には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に p 型に反転し、p 型の不純物領域として機能する。

【0 2 4 4】

次に、図 1 3（D）に示すように、レジストマスク 5 4 2 を除去した後、第 1 層間絶縁膜 5 4 6 を形成する。第 1 層間絶縁膜 5 4 6 としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は $400 \text{ nm} \sim 1.5 \mu\text{m}$ とすれば良い。本実施例では、 200 nm 厚の窒化酸化珪素膜の上に 800 nm 厚の酸化珪素膜を積層した構造とする。

【0 2 4 5】

その後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0246】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不対結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0247】

なお、水素化処理は第1層間絶縁膜546を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0248】

次に、図14（A）に示すように、第1層間絶縁膜546及びゲート絶縁膜514に対してコンタクトホールを形成し、ソース配線547～550と、ドレイン配線551～553を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0249】

次に、50～500nm（代表的には200～300nm）の厚さで第1パッシベーション膜554を形成する。本実施例では第1パッシベーション膜554として300nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0250】

この時、窒化酸化シリコン膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜546に供給され、熱処理を行うことで、第1パッシベーション膜554の膜質が改善される。それと同時に、第1層間絶縁膜546に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0 2 5 1】

次に、図 1 4 (B) に示すように、有機樹脂からなる第 2 層間絶縁膜 5 5 5 を形成する。有機樹脂としてはポリイミド、アクリル、BCB (ベンゾシクロブテン) 等を使用することができる。特に、第 2 層間絶縁膜 5 5 5 は T F T が形成する段差を平坦化する必要があるので、平坦性に優れたアクリル膜が好ましい。本実施例では 2 . 5 μ m の厚さでアクリル膜を形成する。

【0 2 5 2】

次に、第 2 層間絶縁膜 5 5 5、第 1 パッシベーション膜 5 5 4 にドレイン配線 5 5 3 に達するコンタクトホールを形成し、画素電極 (陽極) 5 5 6 を形成する。本実施例では酸化インジウム・スズ (I T O) 膜を 1 1 0 nm の厚さに形成し、パターンニングを行って画素電極とする。また、酸化インジウムに 2 ~ 2 0 % の酸化亜鉛 (Z n O) を混合した透明導電膜を用いても良い。この画素電極が E L 素子 2 0 3 の陽極となる。

【0 2 5 3】

次に、珪素を含む絶縁膜 (本実施例では酸化珪素膜) を 5 0 0 nm の厚さに形成し、画素電極 5 5 6 に対応する位置に開口部を形成して第 3 層間絶縁膜 5 5 7 を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることができる。開口部の側壁が十分になだらかでないで段差に起因する E L 層の劣化が顕著な問題となってしまう。

【0 2 5 4】

次に、E L 層 5 5 8 及び陰極 (M g A g 電極) 5 5 9 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、E L 層 5 5 8 の膜厚は 8 0 0 ~ 2 0 0 nm (典型的には 1 0 0 ~ 1 2 0 nm)、陰極 5 5 9 の厚さは 1 8 0 ~ 3 0 0 nm (典型的には 2 0 0 ~ 2 5 0 nm) とすれば良い。

【0 2 5 5】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次 E L 層及び陰極を形成する。但し、E L 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的

に E L 層及び陰極を形成するのが好ましい。

【0 2 5 6】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素に E L 層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0 2 5 7】

なお、E L 層 5 5 8 としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる 4 層構造を E L 層とすれば良い。また、本実施例では E L 素子 2 0 3 の陰極として M g A g 電極を用いた例を示すが、公知の他の材料を用いることが可能である。

【0 2 5 8】

また、保護電極 5 6 0 としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極 5 6 0 は E L 層及び陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、E L 層及び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0 2 5 9】

最後に、窒化珪素膜でなる第 2 パッシベーション膜 5 6 1 を 3 0 0 n m の厚さに形成する。実際には保護電極 5 6 0 が E L 層を水分等から保護する役割を果たすが、さらに第 2 パッシベーション膜 5 6 1 を形成しておくことで、E L 素子 2 0 3 の信頼性をさらに高めることができる。

【0 2 6 0】

こうして図 1 4 (C) に示すような構造のアクティブマトリクス型の E L ディスプレイが完成する。2 0 1 がスイッチング用 T F T、2 0 2 が E L 駆動用 T

F T、2 0 4 が駆動回路用 n チャネル型 T F T、2 0 5 が駆動回路用 p チャネル型 T F T である。

【0 2 6 1】

なお、実際には、図 1 4 (C) まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。

【0 2 6 2】

（実施例 9）

本実施例では、図 1 で示したソース信号側駆動回路 1 0 2 の詳しい構成について説明する。図 1 5 に本願発明で用いられるソース信号側駆動回路の一例を回路図で示す。

【0 2 6 3】

シフトレジスタ 8 0 1、ラッチ（A）（8 0 2）、ラッチ（B）（8 0 3）、が図に示すように配置されている。なお本実施例では、1 組のラッチ（A）（8 0 2）と 1 組のラッチ（B）（8 0 3）が、4 本のソース信号線 S__a ~ S__d に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【0 2 6 4】

クロック信号 C L K、C L K の極性が反転したクロック信号 C L K b、スタートパルス信号 S P、駆動方向切り替え信号 S L / R はそれぞれ図に示した配線からシフトレジスタ 8 0 1 に入力される。また外部から入力されるデジタルデータ信号 V D は図に示した配線からラッチ（A）（8 0 2）に入力される。ラッチ信号 S__L A T、S__L A T の極性が反転した信号 S__L A T b はそれぞれ図に示した配線からラッチ（B）（8 0 3）に入力される。

【0 2 6 5】

ラッチ（A）（8 0 2）の詳しい構成について、ソース信号線 S L i n e__a に対応するラッチ（A）（8 0 2）の一部 8 0 4 を例にとって説明する。ラッチ（A）（8 0 2）の一部 8 0 4 は 2 つのクロックドインバータと 2 つのインバー

タを有している。

【0 2 6 6】

ラッチ (A) (8 0 2) の一部 8 0 4 の上面図を図 1 6 に示す。8 3 1 a、8 3 1 b はそれぞれ、ラッチ (A) (8 0 2) の一部 8 0 4 が有するインバータの 1 つを形成する T F T の活性層であり、8 3 6 は該インバータの 1 つを形成する T F T の共通のゲート電極である。また 8 3 2 a、8 3 2 b はそれぞれ、ラッチ (A) (8 0 2) の一部 8 0 4 が有するもう 1 つのインバータを形成する T F T の活性層であり、8 3 7 a、8 3 7 b は活性層 8 3 2 a、8 3 2 b 上にそれぞれ設けられたゲート電極である。なおゲート電極 8 3 7 a、8 3 7 b は電氣的に接続されている。

【0 2 6 7】

8 3 3 a、8 3 3 b はそれぞれ、ラッチ (A) (8 0 2) の一部 8 0 4 が有するクロックドインバータの 1 つを形成する T F T の活性層である。活性層 8 3 3 a 上にはゲート電極 8 3 8 a、8 3 8 b が設けられており、ダブルゲート構造となっている。また活性層 8 3 3 b 上にはゲート電極 8 3 8 b、8 3 9 が設けられており、ダブルゲート構造となっている。

【0 2 6 8】

8 3 4 a、8 3 4 b はそれぞれ、ラッチ (A) (8 0 2) の一部 8 0 4 が有するもう 1 つのクロックドインバータを形成する T F T の活性層である。活性層 8 3 4 a 上にはゲート電極 8 3 9、8 4 0 が設けられており、ダブルゲート構造となっている。また活性層 8 3 4 b 上にはゲート電極 8 4 0、8 4 1 が設けられており、ダブルゲート構造となっている。

【0 2 6 9】

(実施例 1 0)

本願発明の E L ディスプレイにおいて、E L 素子が有する E L 層に用いられる材料は、有機 E L 材料に限定されず、無機 E L 材料を用いても実施できる。但し、現在の無機 E L 材料は非常に駆動電圧が高いため、そのような駆動電圧に耐える耐压特性を有する T F T を用いなければならない。

【0 2 7 0】

または、将来的にさらに駆動電圧の低い無機 E L 材料が開発されれば、本願発明に適用することは可能である。

【 0 2 7 1 】

また、本実施例の構成は、実施例 1 ~ 9 のいずれの構成とも自由に組み合わせることが可能である。

【 0 2 7 2 】

(実施例 1 1)

本願発明において、E L 層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。低分子系有機物質は A l q₃（トリス-8-キノリライト-アルミニウム）、T P D（トリフェニルアミン誘導体）等を中心とした材料が知られている。ポリマー系有機物質として、 π 共役ポリマー系の物質が挙げられる。代表的には、P P V（ポリフェニレンビレン）、P V K（ポリビニルカルバゾール）、ポリカーボネート等が挙げられる。

【 0 2 7 3 】

ポリマー系（高分子系）有機物質は、スピンコーティング法（溶液塗布法ともいう）、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【 0 2 7 4 】

また本願発明の E L ディスプレイが有する E L 素子において、その E L 素子が有する E L 層が、電子輸送層と生孔輸送層とを有している場合、電子輸送層と生孔輸送層とを無機材料、例えば非晶質の S i または非晶質の S i_{1-x}C_x等の非晶質半導体で構成しても良い。

【 0 2 7 5 】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、E L 素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【 0 2 7 6 】

また有機 E L 層にドーパント（不純物）を添加し、有機 E L 層の発光の色を変化させても良い。ドーパントとして、D C M 1、ナイルレッド、ルブレン、クマ

リン 6、TPB、キナクリドン等が挙げられる。

【0277】

(実施例 12)

本実施例では、本願発明の EL ディスプレイについて図 21 (A)、(B) を用いて説明する。図 21 (A) は、EL 素子の形成された TFT 基板において、EL 素子の封入まで行った状態を示す上面図である。点線で示された 6801 はソース信号側駆動回路、6802a は書き込み用ゲート信号側駆動回路、6802b は消去用ゲート信号側駆動回路、6803 は画素部である。また、6804 はカバー材、6805 は第 1 シール材、6806 は第 2 シール材であり、第 1 シール材 6805 で囲まれた内側のカバー材と TFT 基板との間には充填材 6807 (図 21 (B) 参照) が設けられる。

【0278】

なお、6808 はソース信号側駆動回路 6801、書き込み用ゲート信号側駆動回路 6802a、消去用ゲート信号側駆動回路 6802b 及び画素部 403 に入力される信号を伝達するための接続配線であり、外部機器との接続端子となる FPC (フレキシブルプリントサーキット) 409 からビデオ信号やクロック信号を受け取る。

【0279】

ここで、図 21 (A) を A-A' で切断した断面に相当する断面図を図 21 (B) に示す。なお、図 21 (A)、(B) では同一の部位に同一の符号を用いている。

【0280】

図 21 (B) に示すように、基板 6800 上には画素部 6803、ソース信号側駆動回路 6801 が形成されており、画素部 6803 は EL 素子に流れる電流を制御するための TFT (以下、EL 駆動用 TFT という) 6851 とそのドレインに電氣的に接続された画素電極 6852 を含む複数の画素により形成される。本実施例では EL 駆動用 TFT 6851 を p チャネル型 TFT とする。また、ソース信号側駆動回路 6801 は n チャネル型 TFT 6853 と p チャネル型 TFT 6854 とを相補的に組み合わせた CMOS 回路を用いて形成される。

【0 2 8 1】

各画素は画素電極の下にカラーフィルタ (R) 6 8 5 5、カラーフィルタ (G) 6 8 5 6 及びカラーフィルタ (B) (図示せず) を有している。ここでカラーフィルタ (R) とは赤色光を抽出するカラーフィルタであり、カラーフィルタ (G) は緑色光を抽出するカラーフィルタ、カラーフィルタ (B) は青色光を抽出するカラーフィルタである。なお、カラーフィルタ (R) 6 8 5 5 は赤色発光の画素に、カラーフィルタ (G) 6 8 5 6 は緑色発光の画素に、カラーフィルタ (B) は青色発光の画素に設けられる。

【0 2 8 2】

これらのカラーフィルタを設けた場合の効果としては、まず発光色の色純度が向上する点が挙げられる。例えば赤色発光の画素からは E L 素子から赤色光が放射される (本実施例では画素電極側に向かって放射される) が、この赤色光を、赤色光を抽出するカラーフィルタに通すことにより赤色の純度を向上させることができる。このことは、他の緑色光、青色光の場合においても同様である。

【0 2 8 3】

また、従来のカラーフィルタを用いない構造では E L ディスプレイの外部から侵入した可視光が E L 素子の発光層を励起させてしまい、所望の発色が得られない問題が起こりうる。しかしながら、本実施例のようにカラーフィルタを設けることで E L 素子には特定の波長の光しか入らないようになる。即ち、外部からの光により E L 素子が励起されてしまうような不具合を防ぐことが可能である。

【0 2 8 4】

なお、カラーフィルタを設ける構造は従来提案されているが、E L 素子は白色発光のものをしていた。この場合、赤色光を抽出するには他の波長の光をカットしていたため、輝度の低下を招いていた。しかしながら、本実施例では、例えば E L 素子から発した赤色光を、赤色光を抽出するカラーフィルタに通すため、輝度の低下を招くようなことがない。

【0 2 8 5】

次に、画素電極 6 8 5 2 は透明導電膜で形成され、E L 素子の陽極として機能する。また、画素電極 6 8 5 2 の両端には絶縁膜 6 8 5 7 が形成され、さらに赤

色に発光する発光層 6 8 5 8、緑色に発光する発光層 6 8 5 9 が形成される。なお、図示しないが隣接する画素には青色に発光する発光層を設けられ、赤、緑及び青に対応した画素によりカラー表示が行われる。勿論、青色の発光層が設けられた画素は青色を抽出するカラーフィルタが設けられている。

【0 2 8 6】

なお、発光層 6 8 5 8、6 8 5 9 の材料として有機材料だけでなく無機材料を用いることができる。また、発光層だけでなく電子注入層、電子輸送層、正孔輸送層または正孔注入層を組み合わせた積層構造としても良い。

【0 2 8 7】

また、各発光層の上には E L 素子の陰極 6 8 6 0 が遮光性を有する導電膜でもって形成される。この陰極 6 8 6 0 は全ての画素に共通であり、接続配線 6 8 0 8 を経由して F P C 6 8 0 9 に電氣的に接続されている。

【0 2 8 8】

次に、第 1 シール材 6 8 0 5 をディスペンサー等で形成し、スペーサ（図示せず）を撒布してカバー材 6 8 0 4 を貼り合わせる。そして、T F T 基板、カバー材 6 8 0 4 及び第 1 シール材 6 8 0 5 で囲まれた領域内に充填材 6 8 0 7 を真空注入法により充填する。

【0 2 8 9】

また、本実施例では充填材 6 8 0 7 に予め吸湿性物質 6 8 6 1 として酸化バリウムを添加しておく。なお、本実施例では吸湿性物質を充填材に添加して用いるが、塊状に分散させて充填材中に封入することもできる。また、図示されていないがスペーサの材料として吸湿性物質を用いることも可能である。

【0 2 9 0】

次に、充填材 6 8 0 7 を紫外線照射または加熱により硬化させた後、第 1 シール材 6 8 0 5 に形成された開口部（図示せず）を塞ぐ。第 1 シール材 6 8 0 5 の開口部を塞いだら、導電性材料 6 8 6 2 を用いて接続配線 6 8 0 8 及び F P C 6 8 0 9 を電氣的に接続させる。さらに、第 1 シール材 6 8 0 5 の露呈部及び F P C 6 8 0 9 の一部を覆うように第 2 シール材 6 8 0 6 を設ける。第 2 シール材 6 8 0 6 は第 1 シール材 6 8 0 7 と同様の材料を用いれば良い。

【0 2 9 1】

以上のような方式を用いてE L素子を充填材6 8 0 7に封入することにより、E L素子を外部から完全に遮断することができ、外部から水分や酸素等の有機材料の酸化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いE Lディスプレイを作製することができる。

【0 2 9 2】

また、本願発明を用いることで既存の液晶表示装置用の製造ラインを転用させることができるため、整備投資の費用が大幅に削減可能であり、歩留まりの高いプロセスで1枚の基板から複数の発光装置を生産することができるため、大幅に製造コストを低減しうる。

【0 2 9 3】

(実施例1 3)

本実施例では、実施例1 2に示したE Lディスプレイにおいて、E L素子から発する光の放射方向とカラーフィルタの配置を異ならせた場合の例について示す。説明には図2 2を用いるが、基本的な構造は図2 1 (B)と同様であるので変更部分に新しい符号を付して説明する。

【0 2 9 4】

本実施例では画素部6 9 0 1にはE L駆動用T F T 6 9 0 2としてnチャネル型T F Tが用いられている。また、E L駆動用T F T 6 9 0 2のドレインには画素電極6 9 0 3が電氣的に接続され、この画素電極6 9 0 3は遮光性を有する導電膜で形成されている。本実施例では画素電極6 9 0 3がE L素子の陰極となる。

【0 2 9 5】

また、本願発明を用いて形成された赤色に発光する発光層6 8 5 8、緑色に発光する発光層6 8 5 9の上には各画素に共通な透明導電膜6 9 0 4が形成される。この透明導電膜6 9 0 4はE L素子の陽極となる。

【0 2 9 6】

さらに、本実施例ではカラーフィルタ (R) 6 9 0 5、カラーフィルタ (G) 6 9 0 6 及びカラーフィルタ (B) (図示せず) がカバー材6 8 0 4に形成され

ている点に特徴がある。本実施例の E L 素子の構造とした場合、発光層から発した光の放射方向がカバー材側に向かうため、図 2 2 の構造とすればその光の経路にカラーフィルタを設置することができる。

【0 2 9 7】

本実施例のようにカラーフィルタ (R) 6 9 0 5、カラーフィルタ (G) 6 9 0 6 及びカラーフィルタ (B) (図示せず) をカバー材 6 8 0 4 に設けると、T F T 基板の工程を少なくすることができ、歩留まり及びスループットの向上を図ることができるという利点がある。

【0 2 9 8】

(実施例 1 4)

本願発明を用いて形成された電子ディスプレイ、特に E L ディスプレイは様々な電子機器に用いることができる。以下に、本願発明を用いて形成された電子ディスプレイを表示媒体として組み込んだ電子機器について説明する。

【0 2 9 9】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。それらの一例を図 1 7 に示す。

【0 3 0 0】

図 1 7 (A) はパーソナルコンピュータであり、本体 2 0 0 1、筐体 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本願発明の E L ディスプレイはパーソナルコンピュータの表示部 2 0 0 3 に用いることができる。

【0 3 0 1】

図 1 7 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本願発明の E L ディスプレイはビデオカメラの表示部 2 1 0 2 に用いることができる。

【0 3 0 2】

図 1 7 (C) は頭部取り付け型の E L 表示装置の一部 (右片側) であり、本体

2 3 0 1、信号ケーブル 2 3 0 2、頭部固定バンド 2 3 0 3、表示モニタ 2 3 0 4、光学系 2 3 0 5、表示部 2 3 0 6 等を含む。本願発明の E L ディスプレイは頭部取り付け型の E L 表示装置の表示部 2 3 0 6 に用いることができる。

【0 3 0 3】

図 1 7 (D) は記録媒体を備えた画像再生装置（具体的には D V D 再生装置）であり、本体 2 4 0 1、記録媒体（C D、L D または D V D 等） 2 4 0 2、操作スイッチ 2 4 0 3、表示部（a） 2 4 0 4、表示部（b） 2 4 0 5 等を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本願発明の E L ディスプレイは記録媒体を備えた画像再生装置の表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、C D 再生装置、ゲーム機器などに本願発明を用いることができる。

【0 3 0 4】

図 1 7 (E) は携帯型（モバイル）コンピュータであり、本体 2 5 0 1、カメラ部 2 5 0 2、受像部 2 5 0 3、操作スイッチ 2 5 0 4、表示部 2 5 0 5 等を含む。本願発明の E L ディスプレイ 2 5 0 5 は携帯型（モバイル）コンピュータの表示部に用いることができる。

【0 3 0 5】

また、将来的に E L 材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0 3 0 6】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 1 3 のどのような組み合わせからなる構成を用いても実現することができる。

【0 3 0 7】

【発明の効果】

本願発明は上記構成によって、T F T によって $I_d - V_g$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_d - V_g$ 特性のバラツキによって、同じ電圧の信号を入力しても E L 素子の発光量が隣接画素で大きく異なってしまうという事

態を避けることが可能になる。

【0 3 0 8】

また、本願発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、E Lディスプレイに全白の画像を表示させると、常にE L素子が発光することになり、E L層の劣化を早める原因となってしまう。本願発明は非発光期間を設けることができるので、E L層の劣化をある程度抑えることができる。

【図面の簡単な説明】

- 【図 1】 本願発明のE Lディスプレイの回路構成を示す図。
- 【図 2】 本願発明のE Lディスプレイの画素部の回路図。
- 【図 3】 本願発明のE Lディスプレイの画素の回路図。
- 【図 4】 本願発明のE Lディスプレイの駆動方法を示す図。
- 【図 5】 本願発明のE Lディスプレイの駆動方法を示す図。
- 【図 6】 本願発明のE Lディスプレイの上面図及び断面図。
- 【図 7】 本願発明のE Lディスプレイの上面図及び断面図。
- 【図 8】 本願発明のE Lディスプレイの断面図。
- 【図 9】 本願発明のE Lディスプレイの断面図。
- 【図 1 0】 本願発明のE Lディスプレイの画素部の回路図。
- 【図 1 1】 本願発明のE Lディスプレイの作製行程を示す図。
- 【図 1 2】 本願発明のE Lディスプレイの作製行程を示す図。
- 【図 1 3】 本願発明のE Lディスプレイの作製行程を示す図。
- 【図 1 4】 本願発明のE Lディスプレイの作製行程を示す図。
- 【図 1 5】 本願発明で用いられるソース信号側駆動回路の回路図。
- 【図 1 6】 本願発明で用いられるラッチの上面図。
- 【図 1 7】 本願発明のE Lディスプレイを用いた電子機器。
- 【図 1 8】 従来のE Lディスプレイの画素部の回路図。
- 【図 1 9】 従来のE Lディスプレイの駆動方法を示すタイミングチャート。
- 【図 2 0】 T F TのI d - V g特性を示す図。
- 【図 2 1】 本願発明のE Lディスプレイの上面図及び断面図。

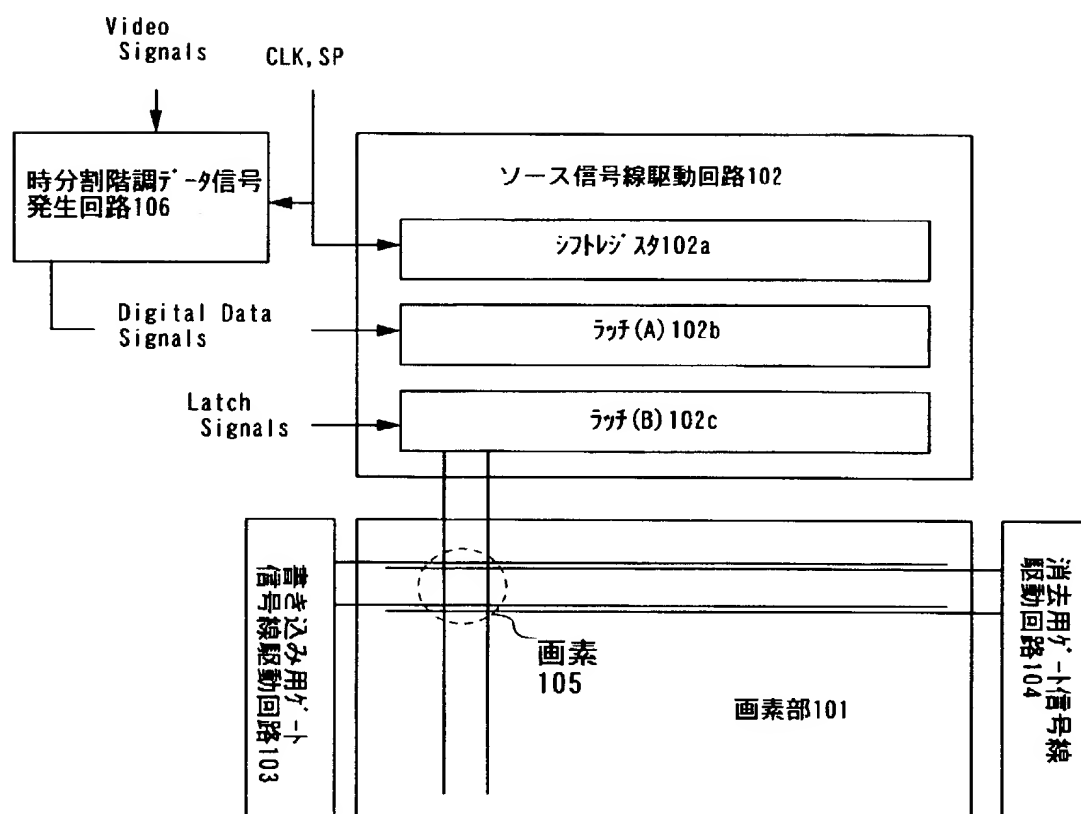
【図 2 2】 本願発明の E L ディスプレイの断面図。

【符号の説明】

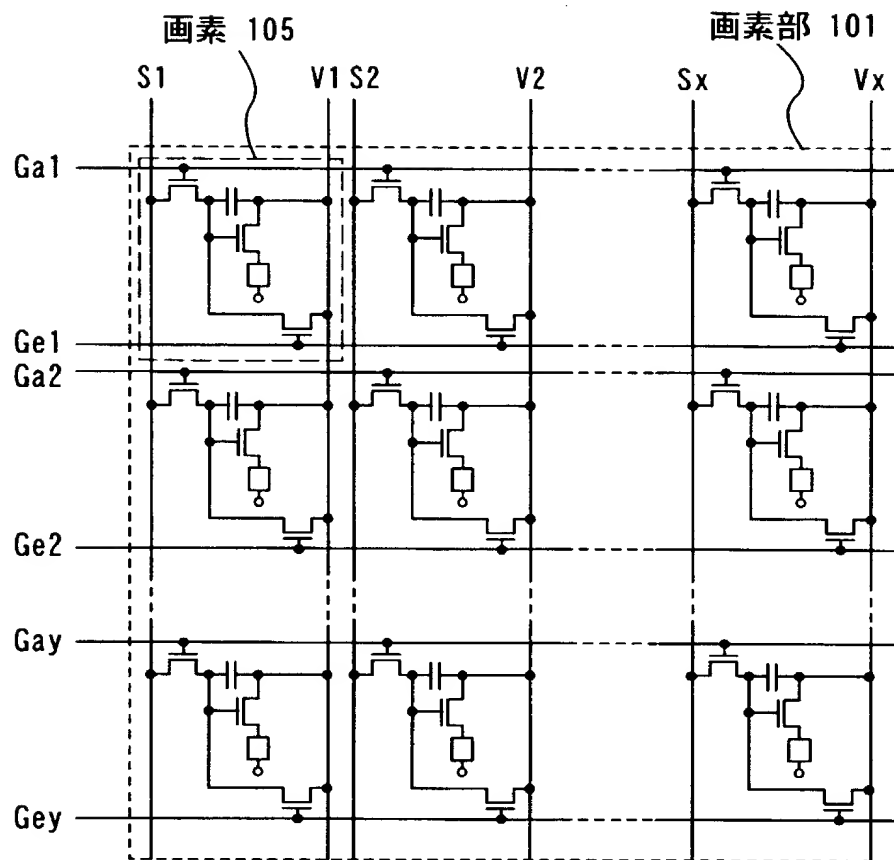
- 1 0 1 画素部
- 1 0 2 ソース信号側駆動回路
 - 1 0 2 a シフトレジスタ
 - 1 0 2 b ラッチ (A)
 - 1 0 2 c ラッチ (B)
- 1 0 3 書き込み用ゲート信号側駆動回路
- 1 0 4 消去用ゲート信号側駆動回路
- 1 0 5 画素
- 1 0 6 時分割階調データ信号発生回路
- 1 0 7 スイッチング用 T F T
- 1 0 8 E L 駆動用 T F T
- 1 0 9 消去用 T F T
- 1 1 0 E L 素子
- 1 1 1 対向電源

【書類名】 図面

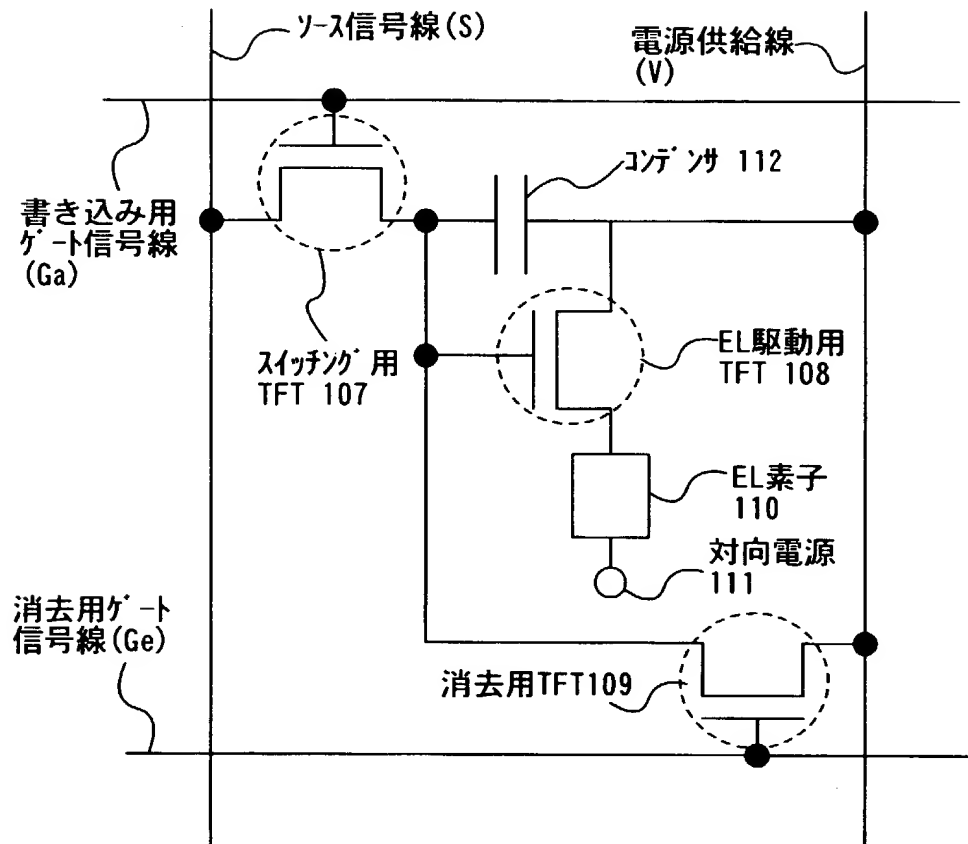
【図 1】



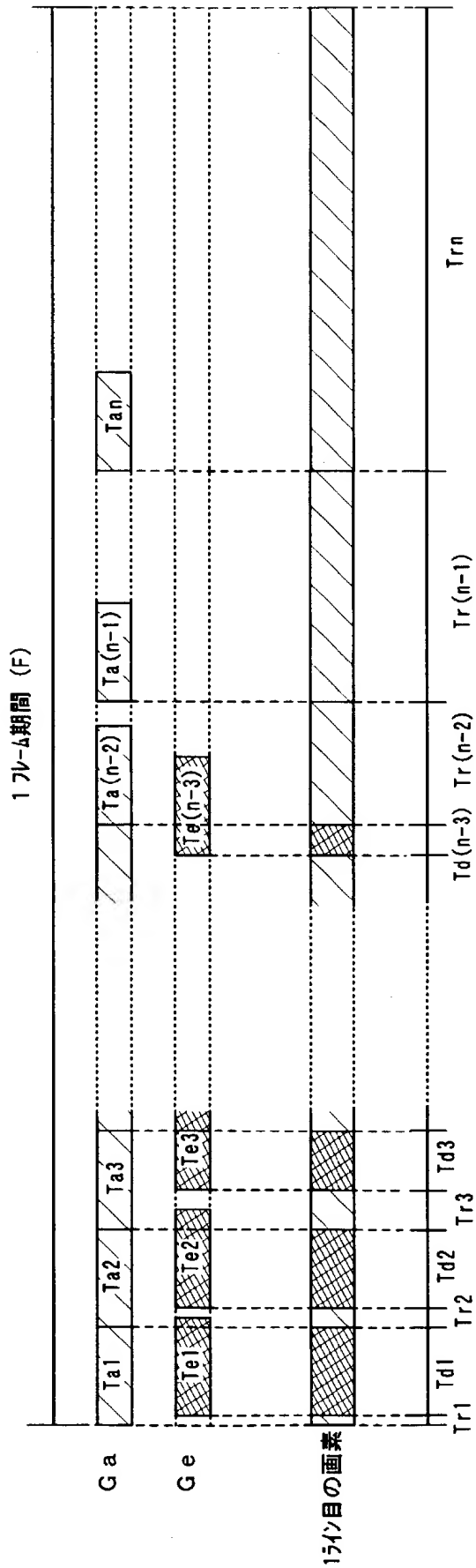
【図 2】



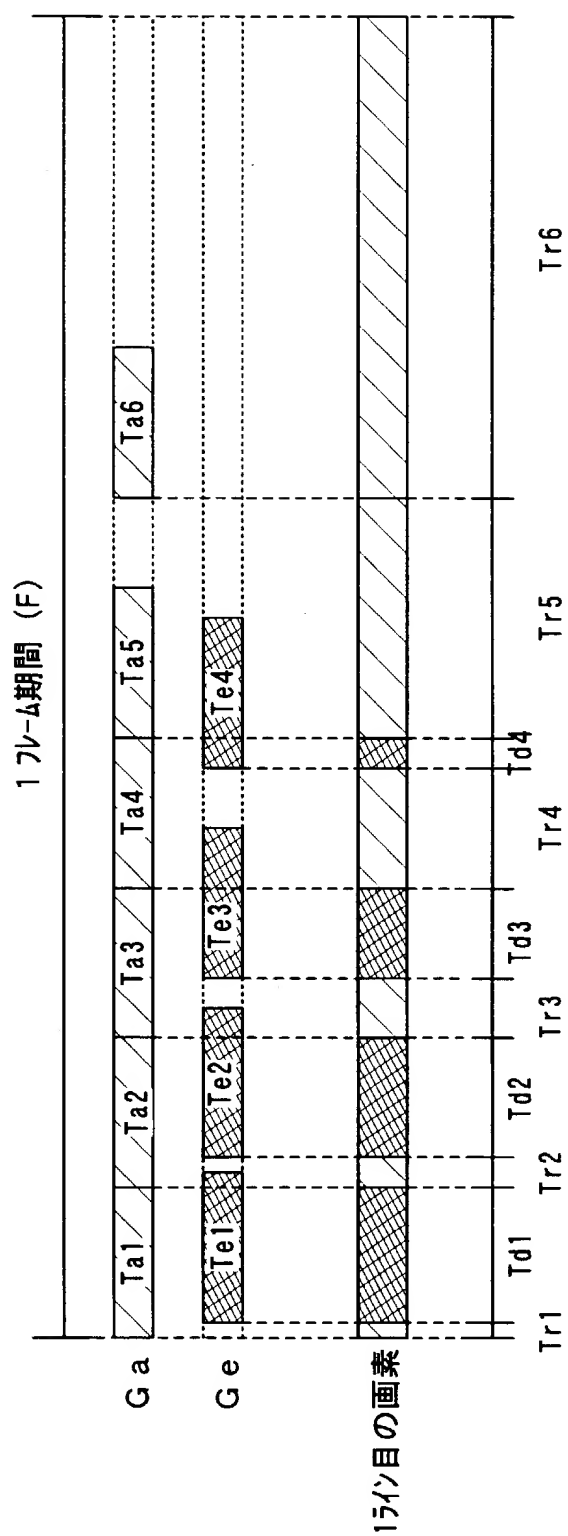
【図 3】



【図 4】

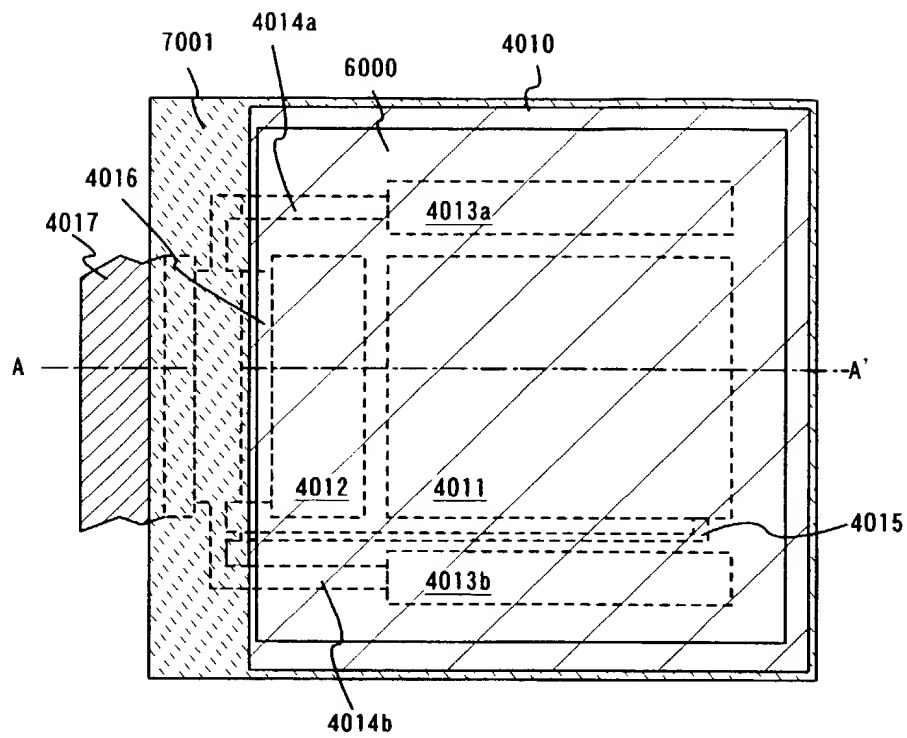


【図 5】

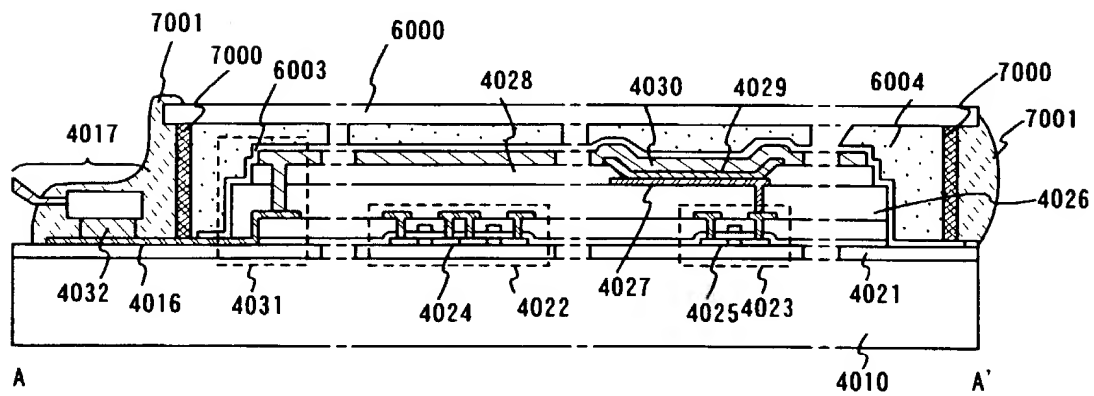


【図 6】

(A)

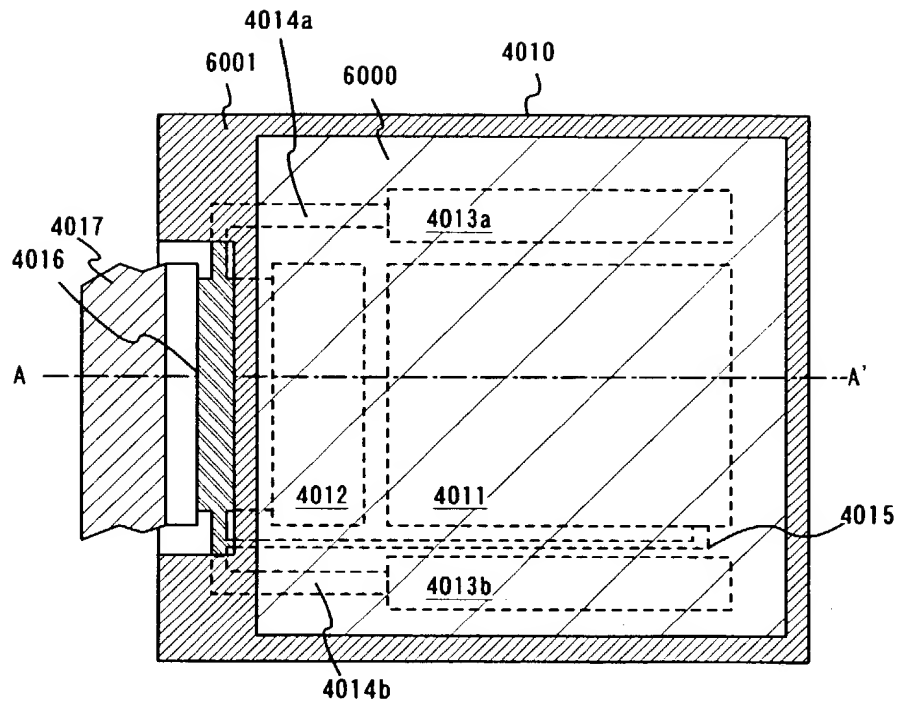


(B)

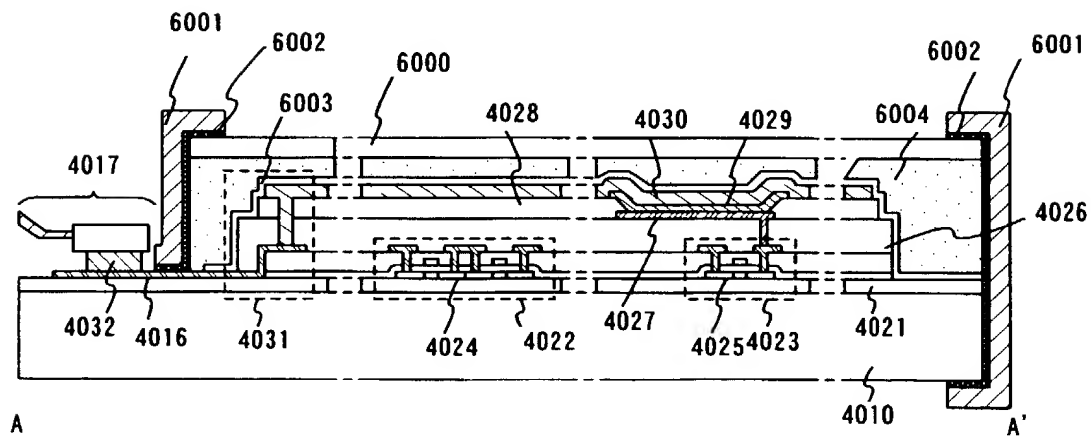


【図 7】

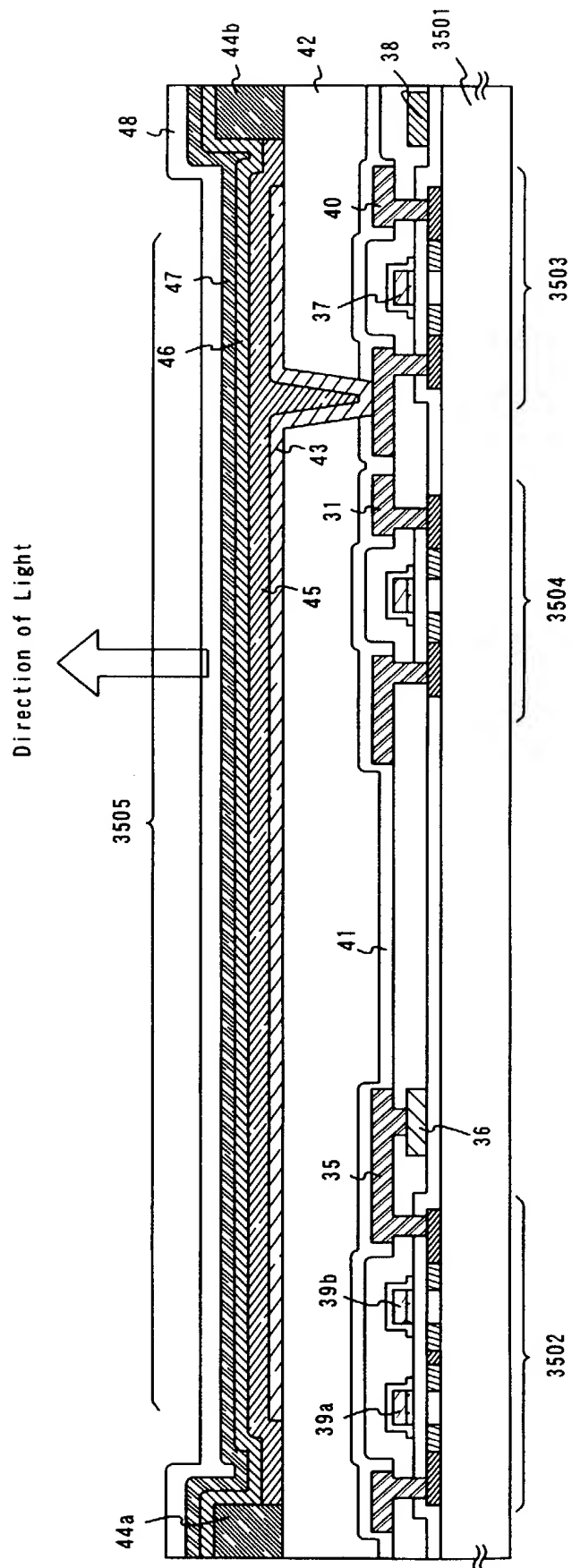
(A)



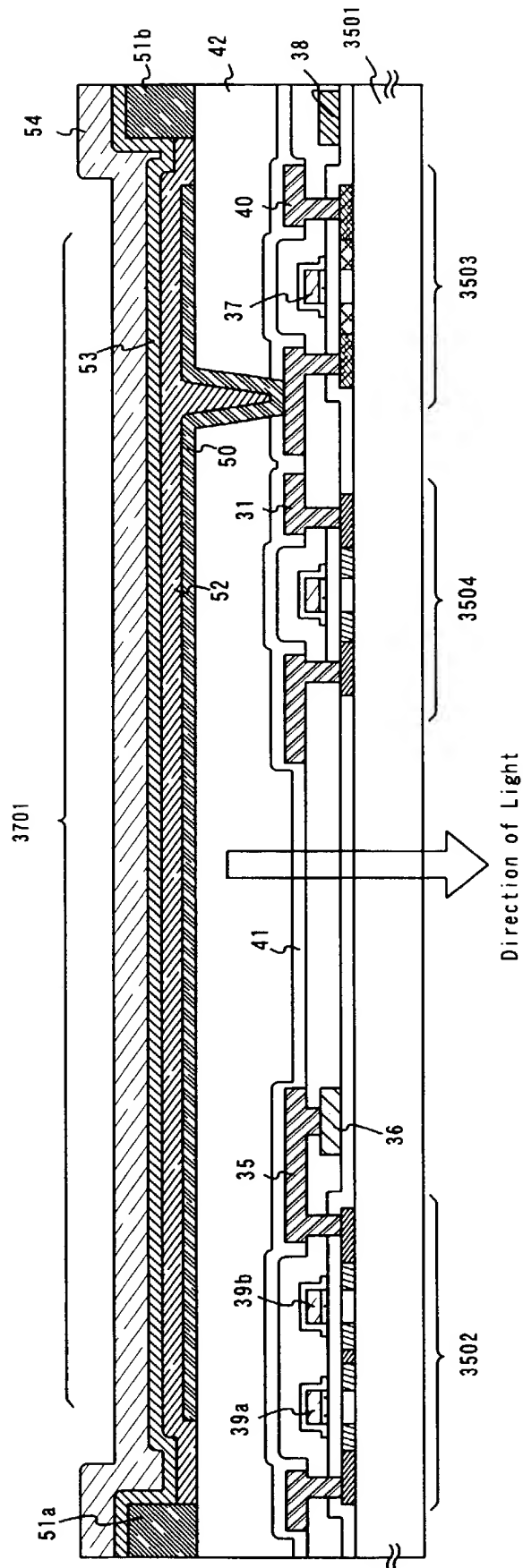
(B)



【図 8】

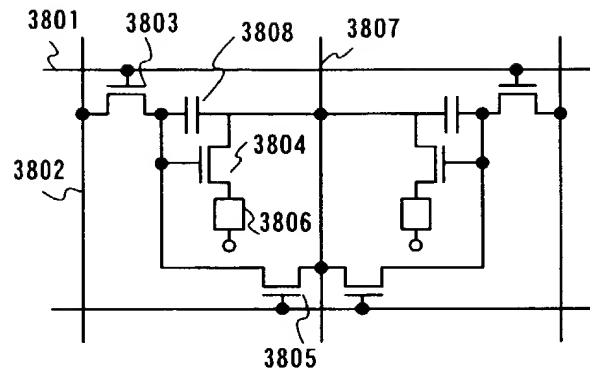


【図 9】

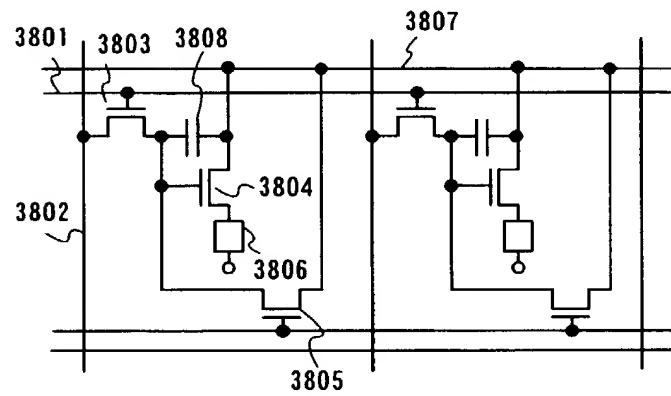


【図 1 0】

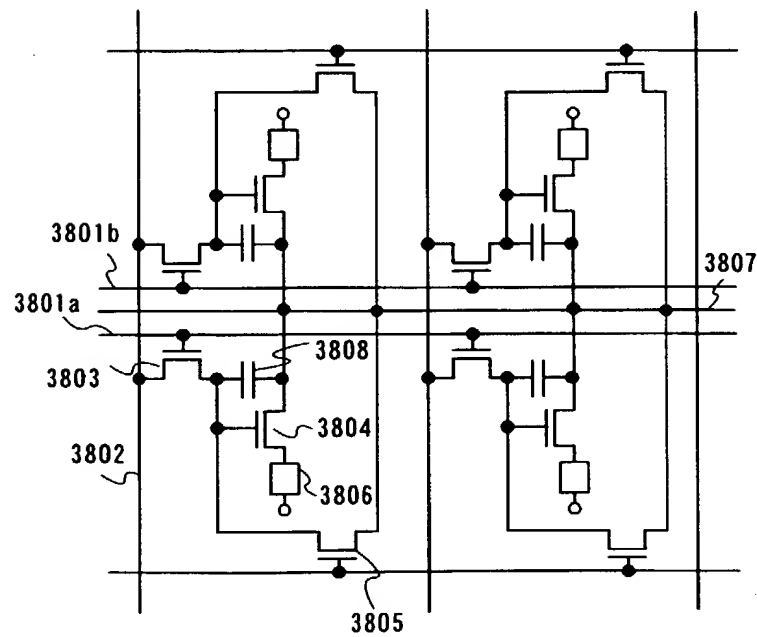
(A)



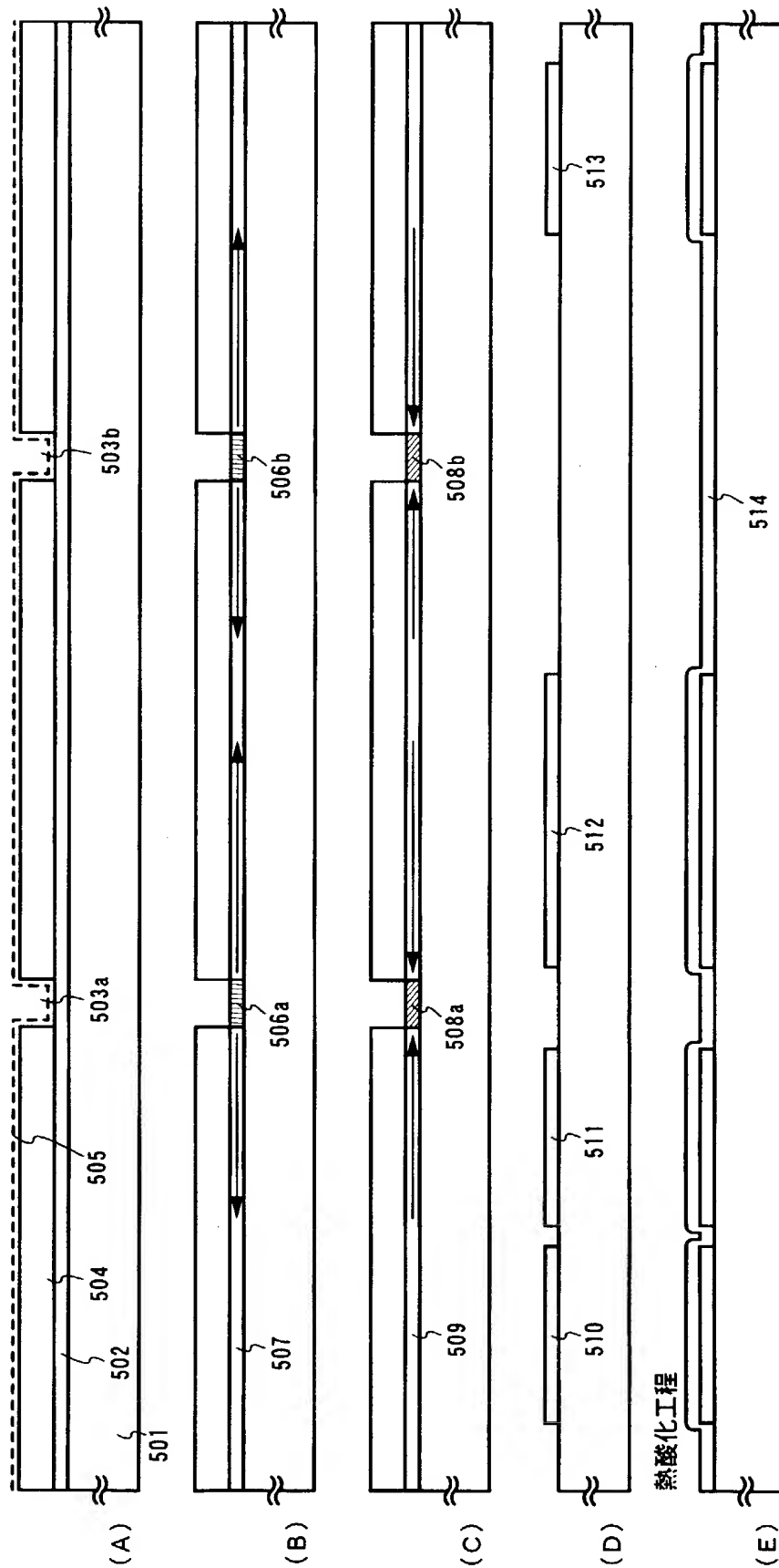
(B)



(C)

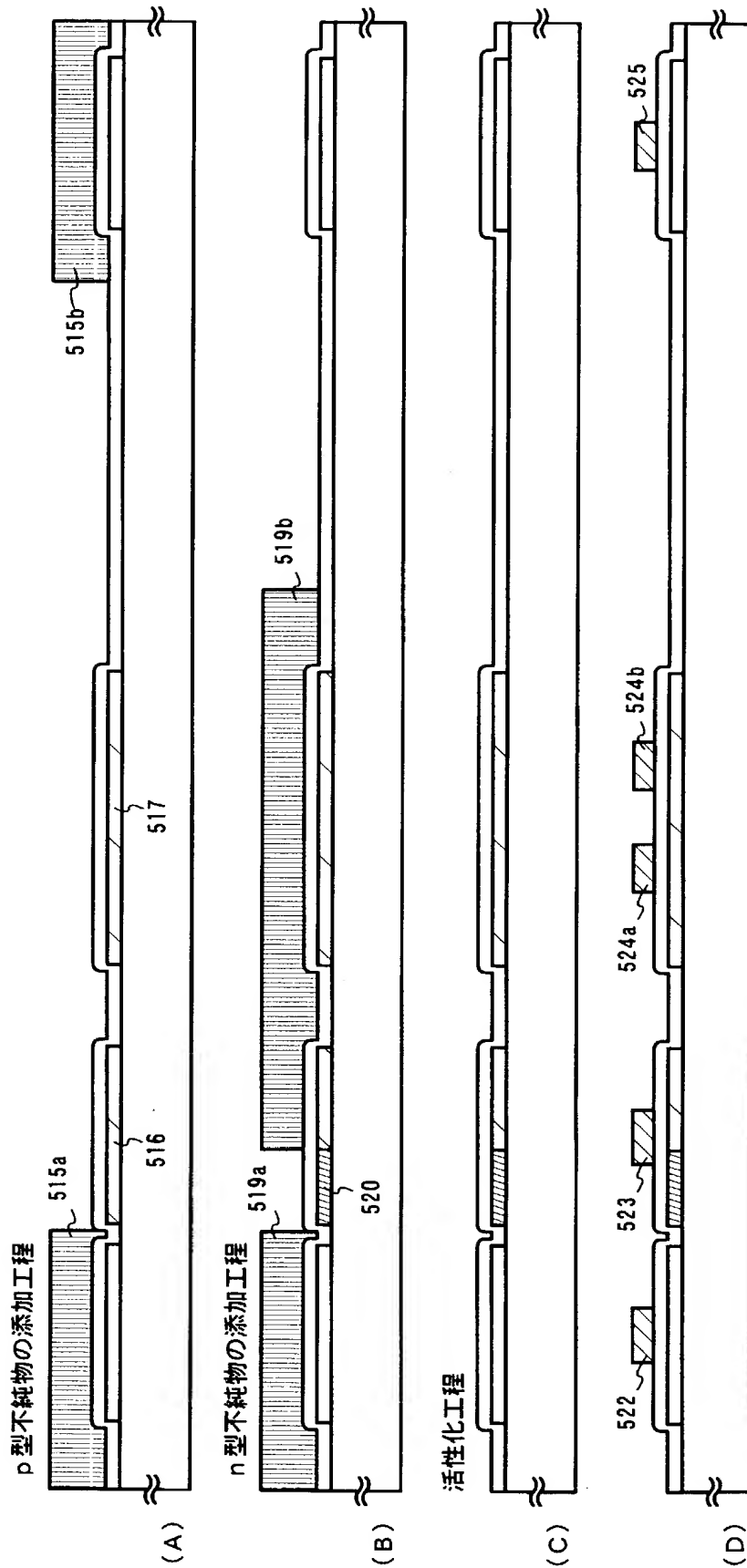


【図 1 1】

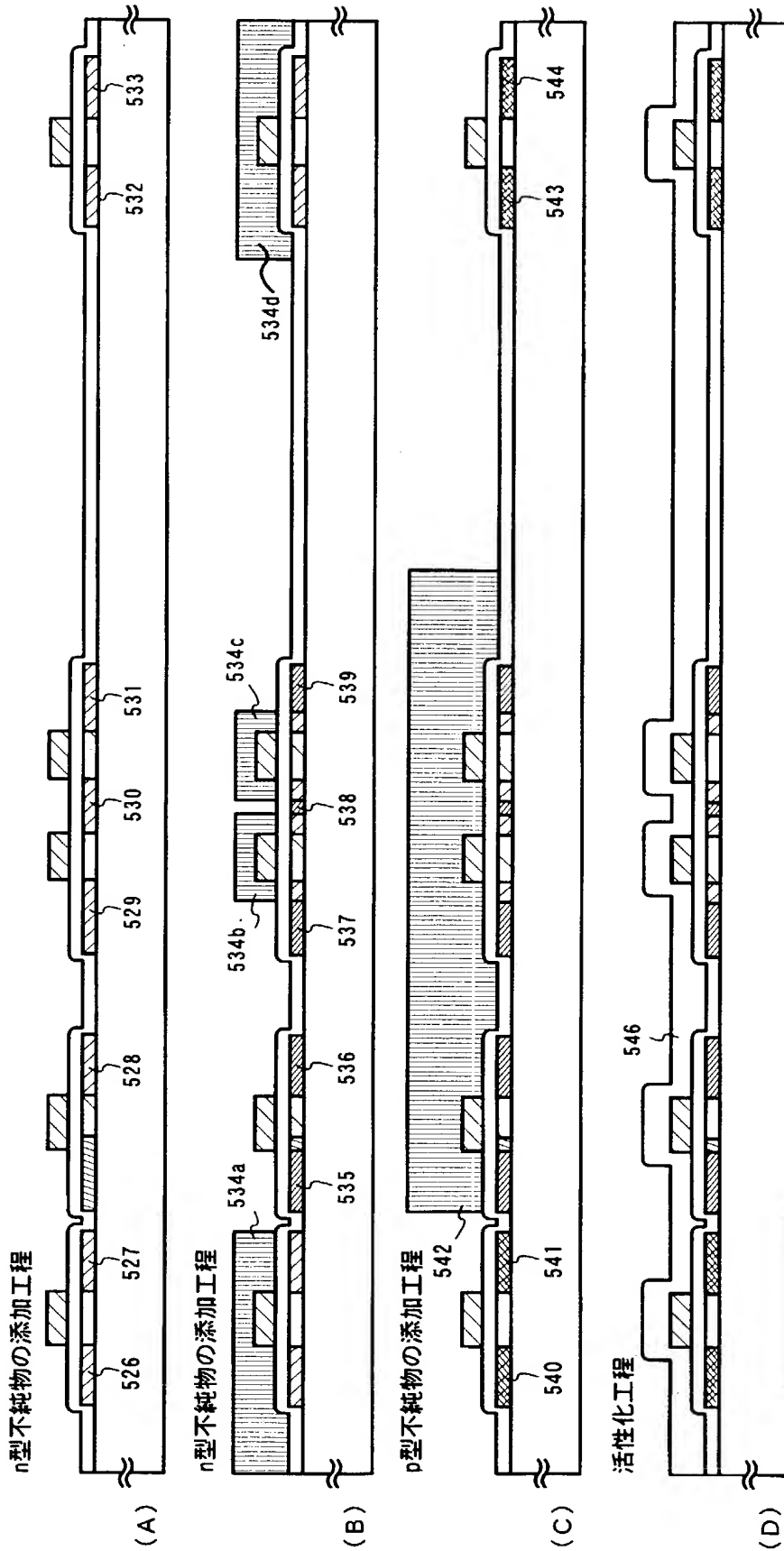


501: 石英基板 502: TEOS 膜 503a, 503b: 開口部 504: 保護膜 505: Ni 含有層
 506a, 506b: Ni 添加領域 507: Ni 膜 508a, 508b: リン添加領域 509: Ni 膜
 510~513: 活性層 514: ゲート絶縁膜

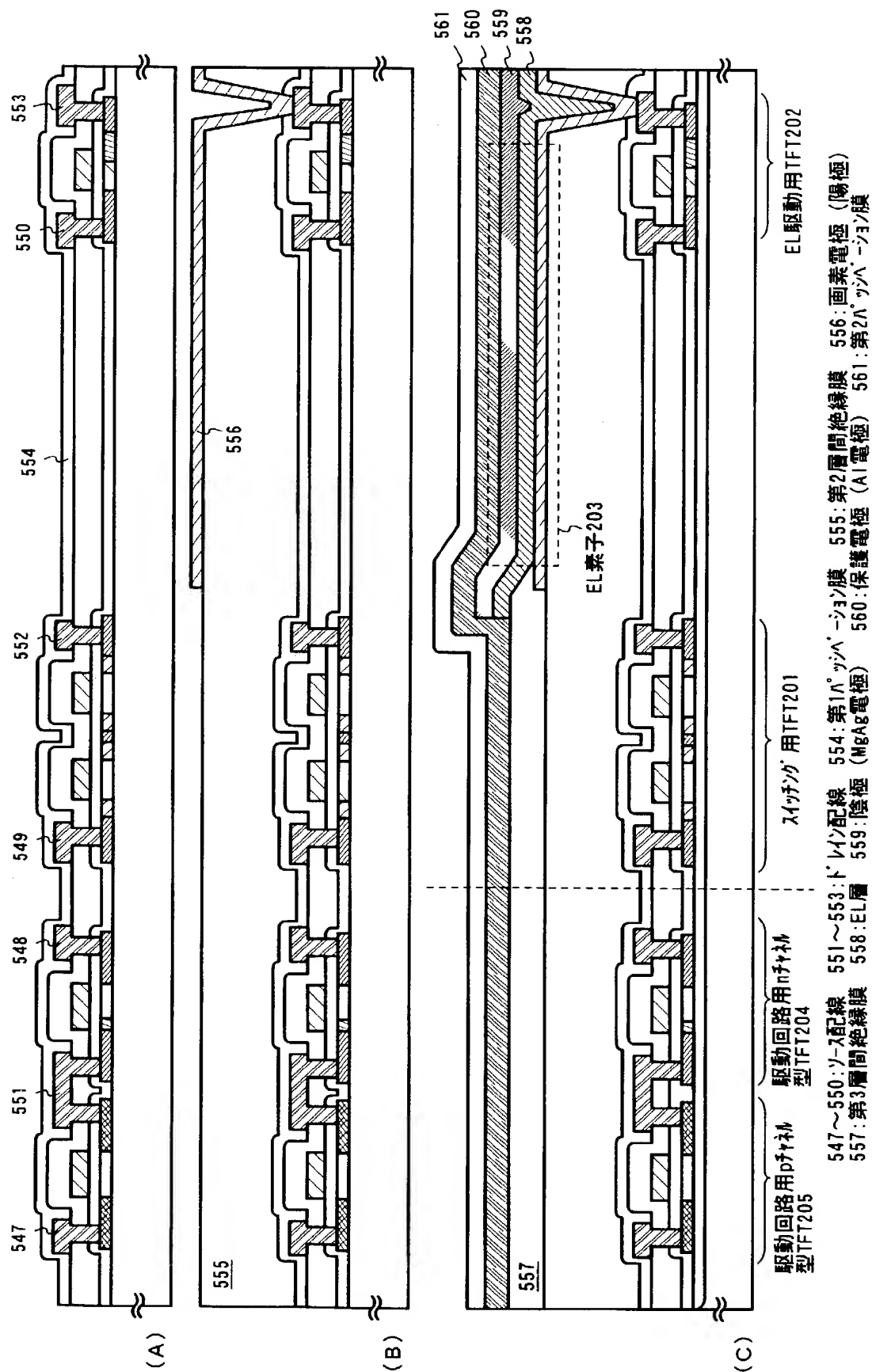
【図 1 2】



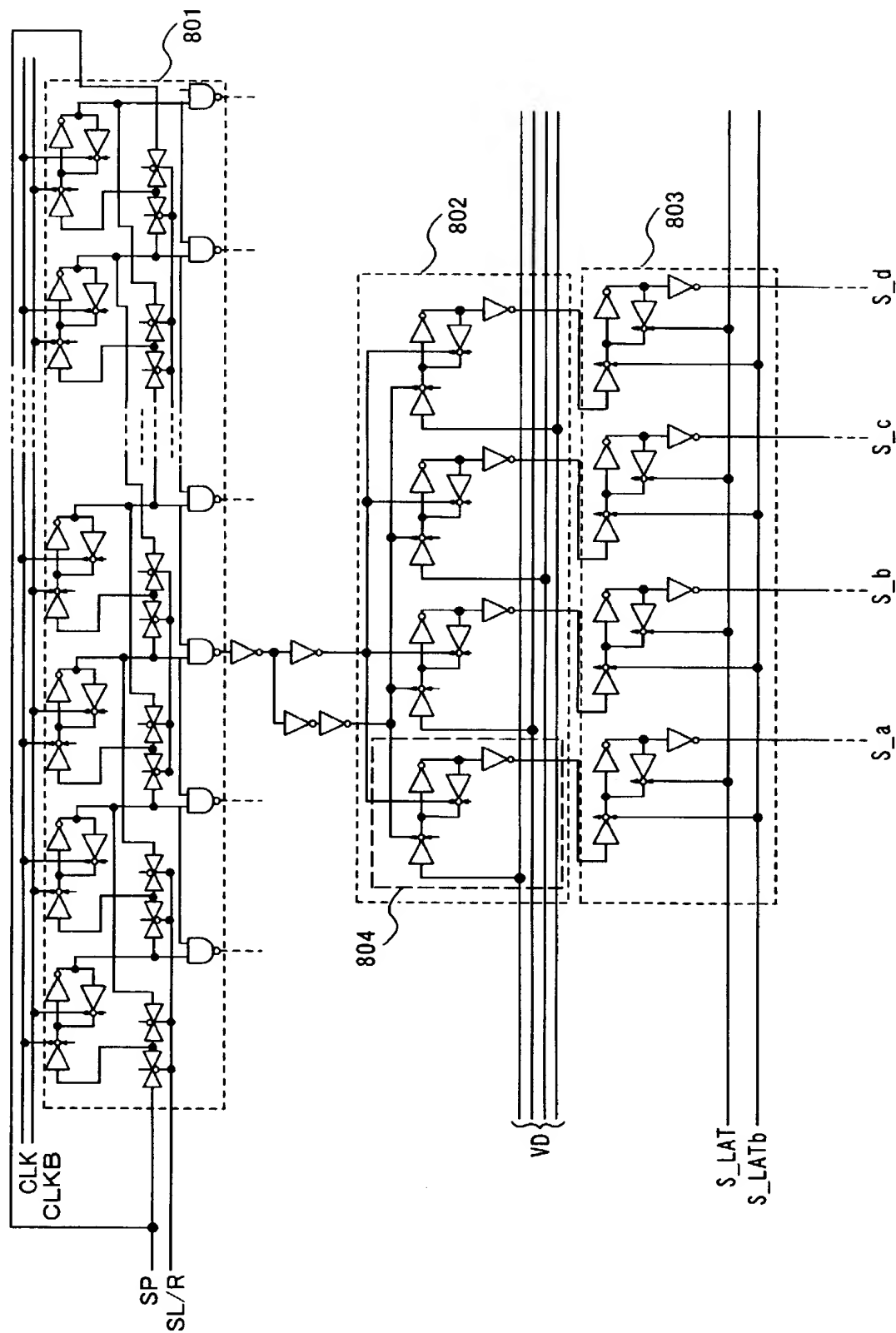
【図 1 3】



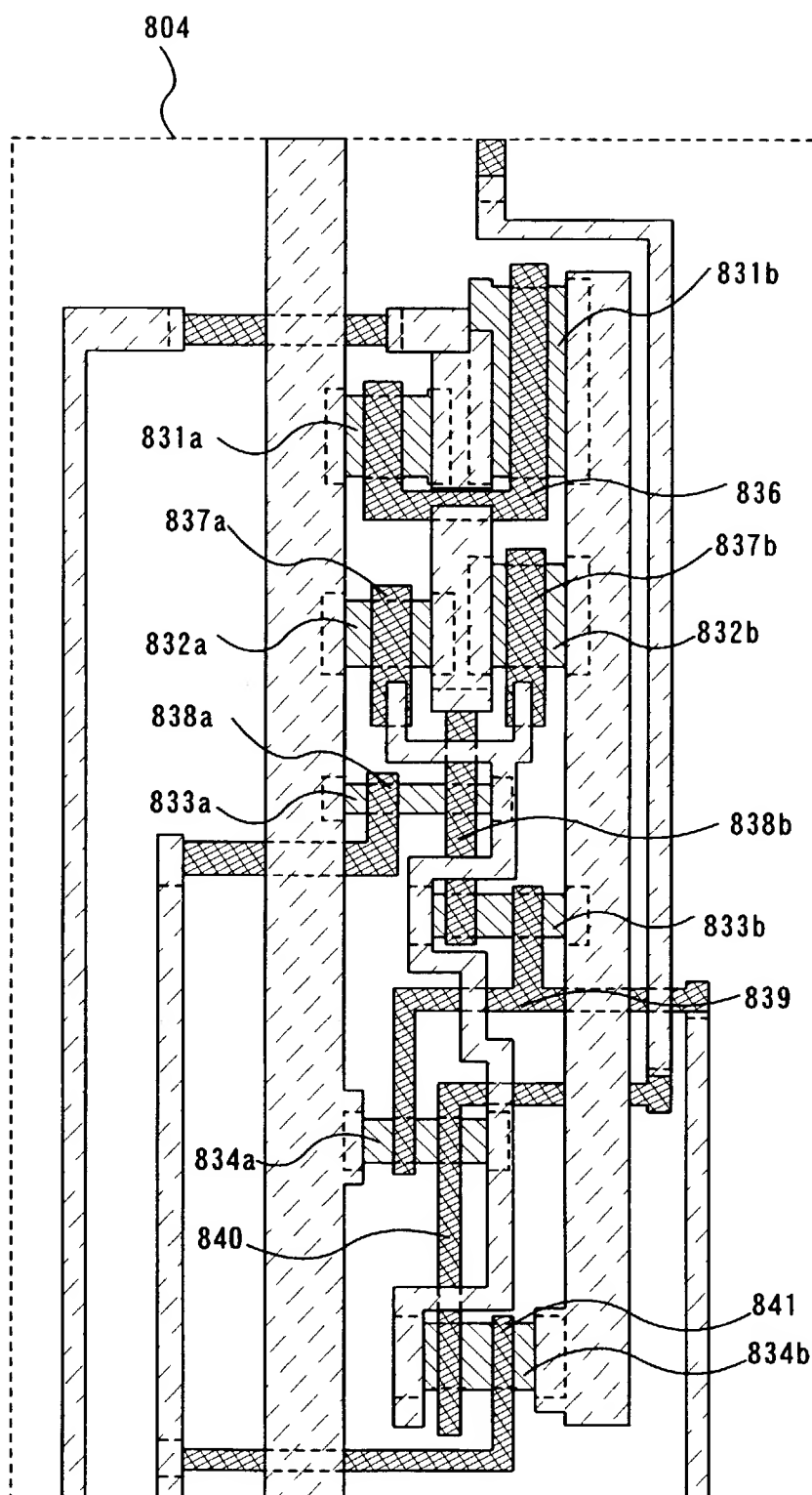
【図 1 4】



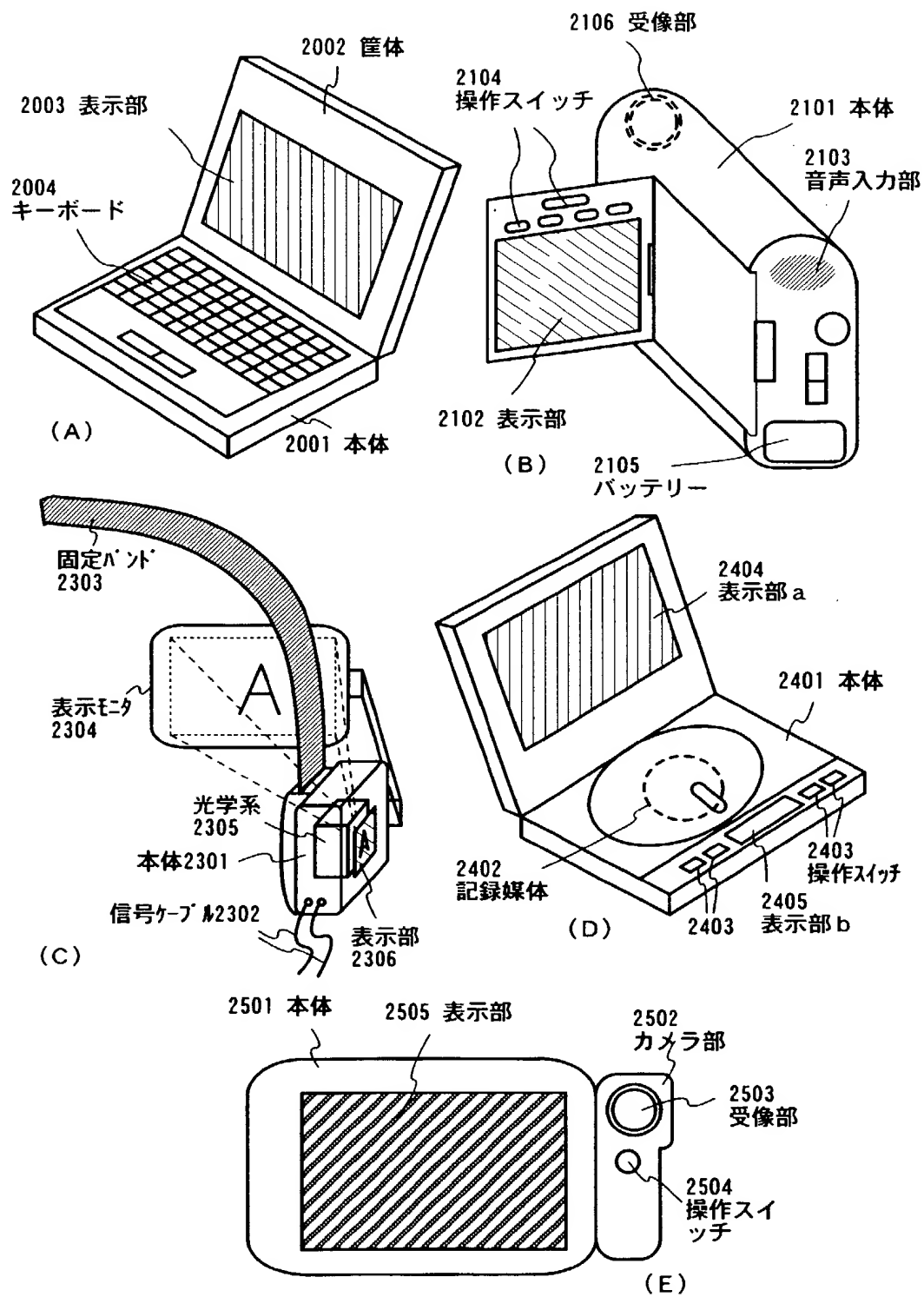
【図 1 5】



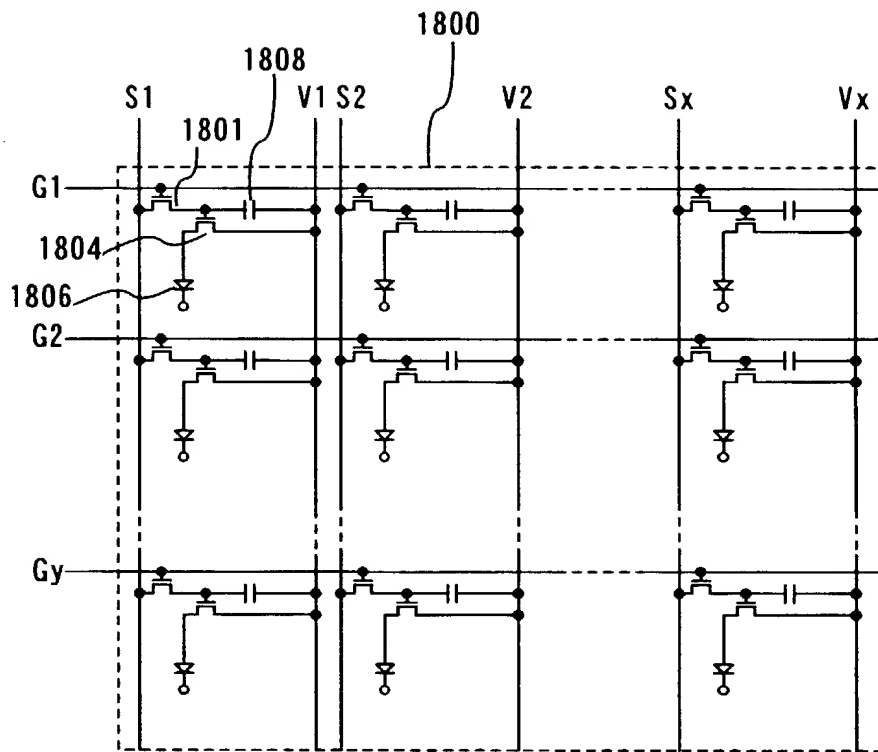
【図 1 6】



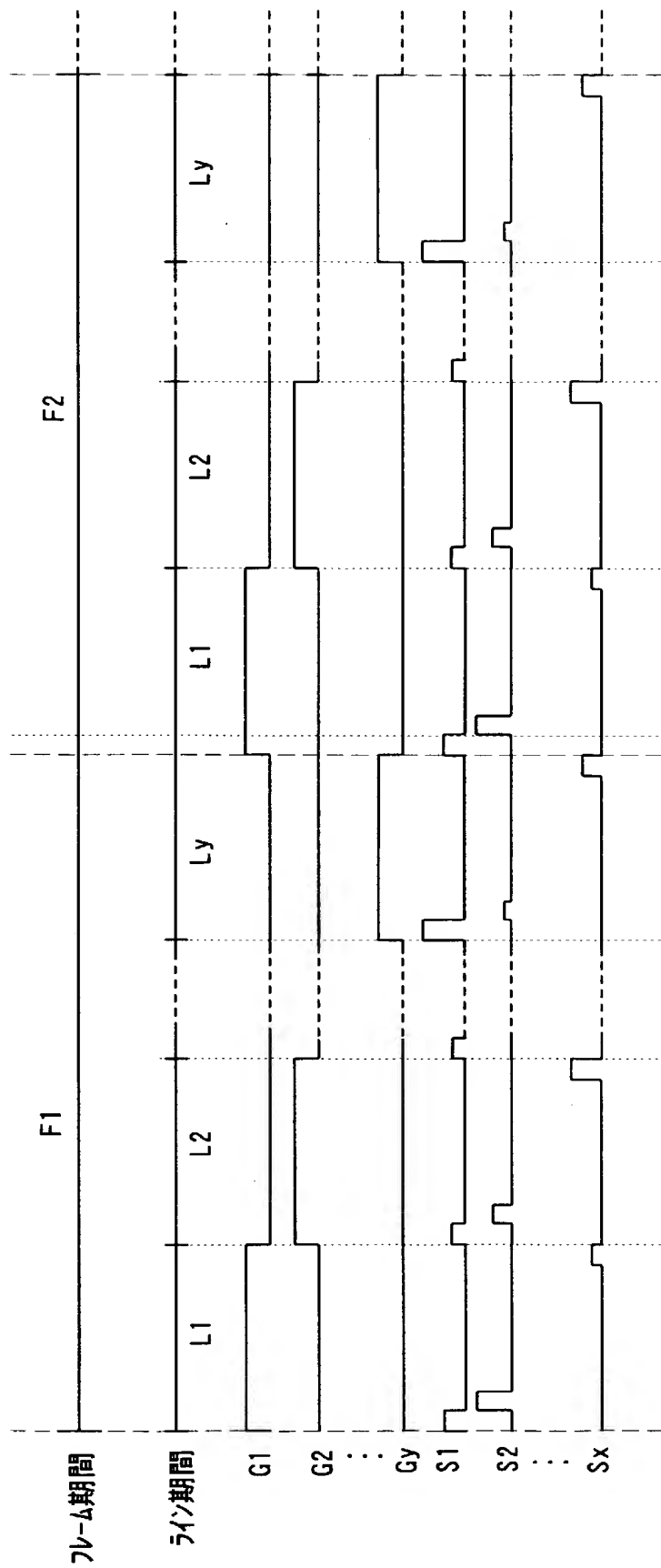
【図 1 7】



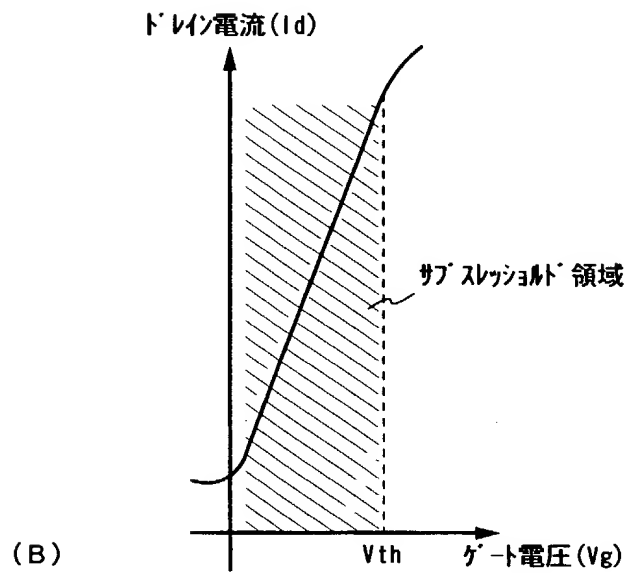
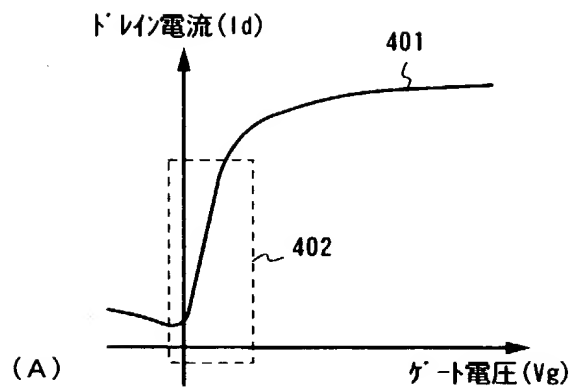
【図 1 8】



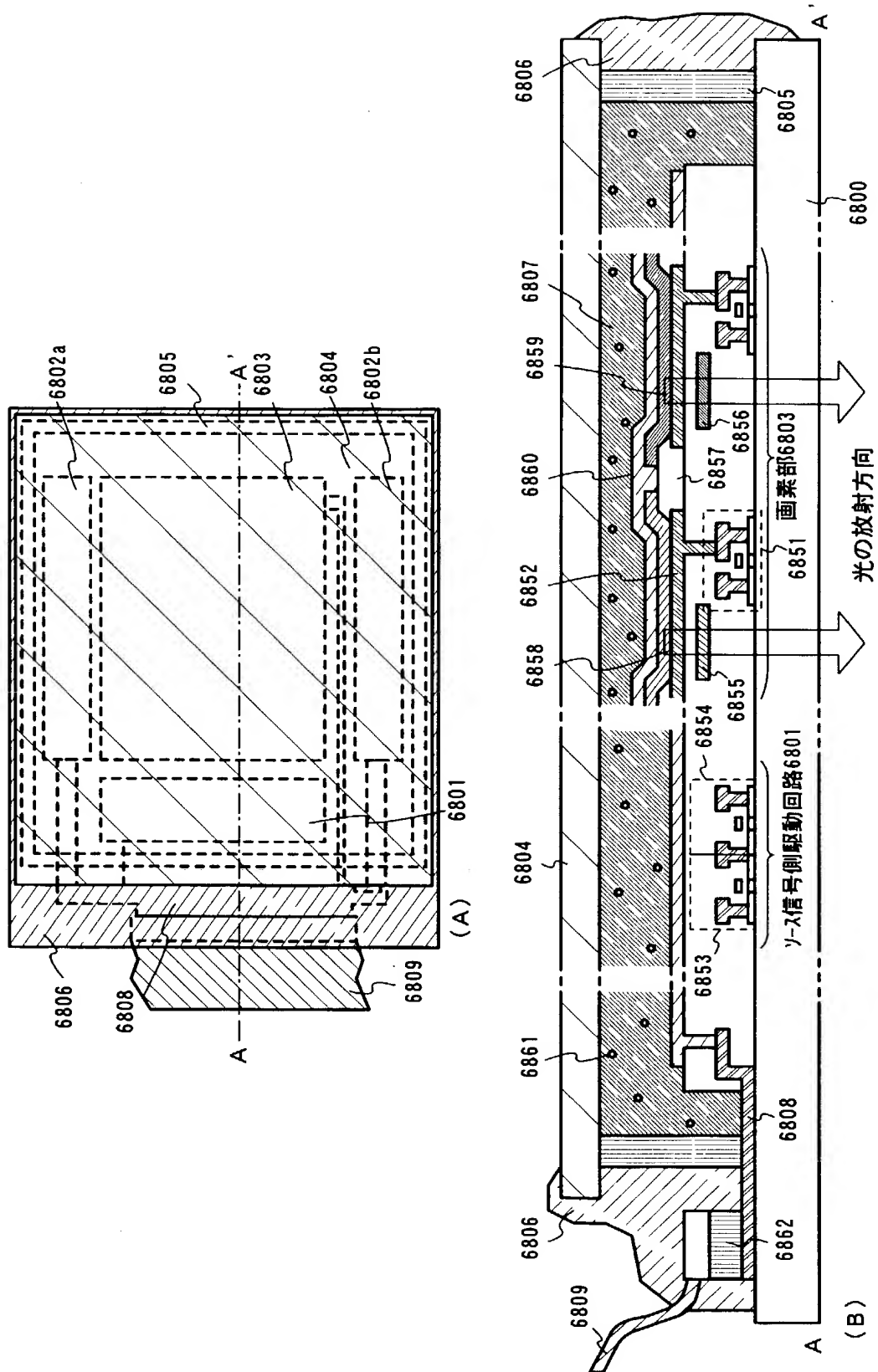
【図 1 9】



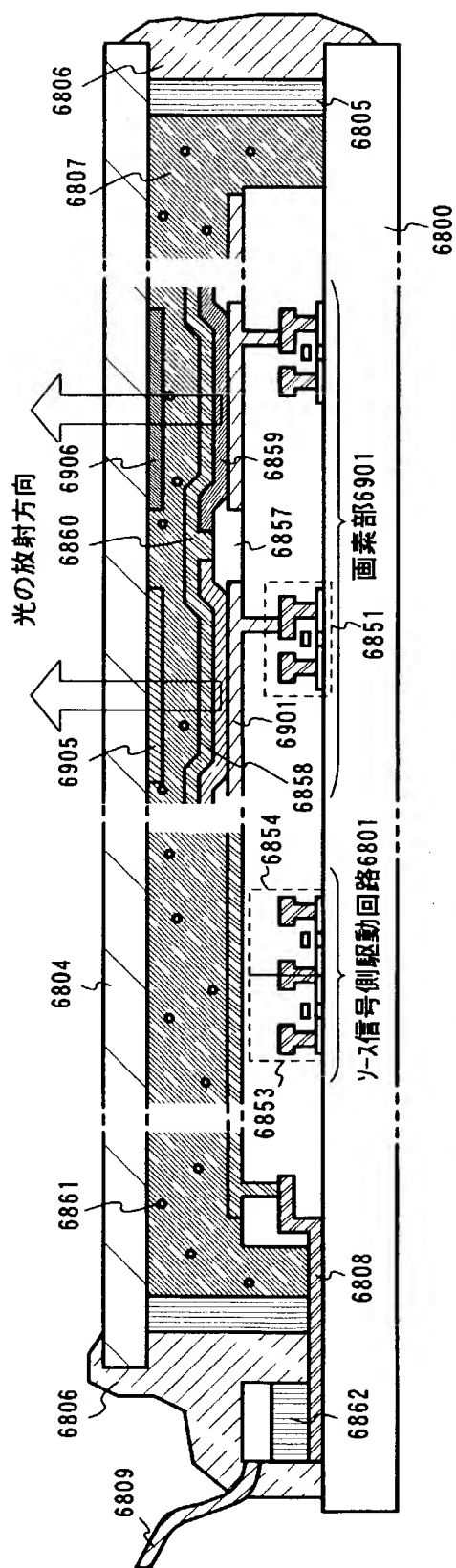
【図 2 0】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 鮮明な多階調カラー表示の可能なアクティブマトリクス型の電気光学装置を提供する。

【解決手段】 画素部が有する複数の画素は、ソース信号線と、第 1 のゲート信号線と、第 2 のゲート信号線と、電源供給線とで囲まれており、前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有しており、いることを特徴とする電気光学装置。

【選択図】 図 3

特願平 1 1 - 3 3 8 7 8 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所